



XA-10000  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Takahashi KOBAYASHI et al.

Appln. No.: 10/721,874

Group Art Unit: 2811

Filed: November 26, 2003

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD  
OF MANUFACTURING THEREOF

\* \* \*

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese  
Patent Application No. 2002-343742 filed November 27, 2002,  
and submit herewith a certified copy of said application.

Respectfully submitted,

MWS:sjk

Miles & Stockbridge P.C.  
1751 Pinnacle Drive, Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

March 11, 2004

By: 

Mitchell W. Shapiro  
Reg. No. 31,568



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 4 3 7 4 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 4 3 7 4 2 ]

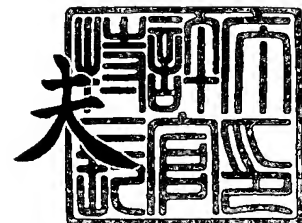
出      願      人                      株式会社ルネサステクノロジ  
Applicant(s):



2 0 0 3 年 1 0 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 6 7 9 8

【書類名】 特許願

【整理番号】 H02013271

【提出日】 平成14年11月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 小林 孝

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 峰 利之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 (a) 半導体基板上に形成された第 1 絶縁膜と、  
(b) 前記第 1 絶縁膜上に形成されたシリコンナイトライドドットと、  
(c) 前記シリコンナイトライドドット上に形成された第 2 絶縁膜と、  
(d) 前記第 2 絶縁膜上に形成された導電性膜と、  
(e) 前記半導体基板中に形成された第 1 及び第 2 半導体領域と、  
(f) 前記第 1 及び第 2 半導体領域間に位置するチャネル領域と、を有し、  
(g) 前記チャネル領域から、前記チャネル領域の前記第 1 半導体領域側の第 1 端部上の前記シリコンナイトライドドットもしくは前記チャネル領域の前記第 2 半導体領域側の第 2 端部上の前記シリコンナイトライドドットに、電荷を注入することにより書き込みを行うこと特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 及び第 2 半導体領域は、第 1 方向に延在し、  
前記導電性膜は、前記第 1 方向と直交する第 2 方向に延在することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 及び第 2 絶縁膜は、シリコンナイトライドよりバリアハイトが大きいことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 及び第 2 絶縁膜は、シリコン酸化膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1 端部上の前記シリコンナイトライドドットへの前記電荷の注入は、前記第 2 半導体領域から前記第 1 半導体領域の方向に電子を流すことにより行い、

前記第 2 端部上の前記シリコンナイトライドドットへの前記電荷の注入は、前記第 1 半導体領域から前記第 2 半導体領域の方向に電子を流すことにより行い、

前記第 1 端部上の前記シリコンナイトライドドットに注入された前記電荷を、前記第 1 半導体領域から前記第 2 半導体領域に電子を流すことにより判定し、

前記第 2 端部上の前記シリコンナイトライドドットに注入された前記電荷を、前記第 2 半導体領域から前記第 1 半導体領域に電子を流すことにより判定するこ

とを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 前記シリコンナイトライドドットは、 $\text{Si}_x\text{N}_{1-x}$  ( $0 < x < 1$ ) であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 前記  $\text{Si}_x\text{N}_{1-x}$  の  $x$  は概ね 0.43 であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記シリコンナイトライドドットは、その表面部の窒素濃度が、その中央部の窒素濃度より大きいことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】 前記シリコンナイトライドドットは、前記第 1 絶縁膜上に単層で存在することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】 (a) 半導体基板中に形成された第 1 及び第 2 半導体領域と、

(b) 前記第 1 及び第 2 半導体領域間に位置するチャネル領域と、

(c) 前記半導体基板上に形成され、前記チャネル領域上から前記第 1 半導体領域上まで延在する第 1 シリコン酸化膜と、

(d) 前記第 1 シリコン酸化膜上に形成されたシリコンナイトライドドットと

、

(e) 前記シリコンナイトライドドット上に形成された第 2 シリコン酸化膜と

、

(f) 前記第 2 シリコン酸化膜上に形成された第 1 導電性膜と、

(g) 前記半導体基板上に形成され、前記チャネル領域上から前記第 2 半導体領域上まで延在する絶縁膜と、

(h) 前記絶縁膜上に形成された第 2 導電性膜と、を有し、

(i) 前記チャネル領域から、前記シリコンナイトライドドットの前記チャネル領域の前記第 2 半導体領域側の端部に、電荷を注入することにより書き込みを行うこと特徴とする不揮発性半導体記憶装置。

【請求項 11】 前記第 1 及び第 2 半導体領域は、第 1 方向に延在し、  
前記第 1 導電性膜は、前記第 1 方向と直交する第 2 方向に延在し、  
前記第 2 導電性膜は、前記第 1 方向に延在することを特徴とする請求項 10 記

載の不揮発性半導体記憶装置。

【請求項 12】 前記第 1 及び第 2 シリコン酸化膜は、 $\text{Si}_x\text{O}_2$  であり、 $x \leq 1$  であることを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 13】 前記第 1 シリコン酸化膜は、熱酸化膜であり、前記第 2 シリコン酸化膜は、堆積膜であることを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 14】 前記シリコンナイトライドドットへの前記電荷の注入は、前記第 2 半導体領域から前記第 1 半導体領域の方向に電子を流すことにより行い、

前記シリコンナイトライドドットに注入された前記電荷を、前記第 1 半導体領域から前記第 2 半導体領域に電子を流すことにより判定することを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 15】 前記シリコンナイトライドドットは、 $\text{Si}_x\text{N}_{1-x}$  ( $0 < x < 1$ ) であることを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 16】 前記  $\text{Si}_x\text{N}_{1-x}$  の  $x$  は概ね 0.43 であることを特徴とする請求項 15 記載の不揮発性半導体記憶装置。

【請求項 17】 前記シリコンナイトライドドットは、その表面部の窒素濃度が、その中央部の窒素濃度より大きいことを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 18】 前記シリコンナイトライドドットは、前記第 1 シリコン酸化膜上に単層で存在することを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 19】 前記第 1 及び第 2 半導体領域、前記第 1 導電性膜及び第 2 導電性膜は、同一の方向に延在し、

前記第 2 導電性膜は、前記第 1 導電性膜上に乗り上げるよう延在していることを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 20】 (a) 半導体基板中に形成された第 1 及び第 2 半導体領域と、

(b) 前記第 1 及び第 2 半導体領域間に位置するチャネル領域と、

(c) 前記半導体基板上に形成され、前記チャネル領域上から前記第 1 半導体領域上まで延在する第 1 絶縁膜と、

(d) 前記第 1 絶縁膜上に形成された第 1 導電性膜と、

(e) 前記半導体基板上に形成され、前記チャネル領域上から前記第 2 半導体領域上まで延在する第 2 絶縁膜と、

(f) 前記第 2 絶縁膜上に形成された第 2 導電性膜と、

(g) 前記第 1 及び第 2 導電性膜間の半導体基板上に形成された第 3 絶縁膜と、

(h) 前記第 3 絶縁膜上に形成されたシリコンナイトライドドットと、

(i) 前記シリコンナイトライドドット上に形成された第 4 絶縁膜と、

(j) 前記第 4 絶縁膜上に形成された第 3 導電性膜と、を有し、

(k) 前記チャネル領域から、前記第 1 導電性膜側の第 1 端部上の前記シリコンナイトライドドットもしくは前記第 2 導電性膜側の第 2 端部上の前記シリコンナイトライドドットに、電荷を注入することにより書き込みを行うこと特徴とする不揮発性半導体記憶装置。

【請求項 2 1】 前記第 1 及び第 2 半導体領域は、第 1 方向に延在し、  
前記第 1 及び第 2 導電性膜は、前記第 1 方向に延在し、  
前記第 3 導電性膜は、前記第 1 方向と直交する第 2 方向に延在することを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 2】 前記第 3 及び第 4 絶縁膜は、シリコンナイトライドよりバリアハイトが大きいことを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 3】 前記第 3 及び第 4 絶縁膜は、シリコン酸化膜であることを特徴とする請求項 2 0 記載の不揮発性半導体記憶装置。

【請求項 2 4】 前記第 1 端部上の前記シリコンナイトライドドットへの前記電荷の注入は、前記第 1 半導体領域から前記第 2 半導体領域の方向に電子を流すことにより行い、

前記第 2 端部上の前記シリコンナイトライドドットへの前記電荷の注入は、前記第 2 半導体領域から前記第 1 半導体領域の方向に電子を流すことにより行い、

前記第 1 端部上の前記シリコンナイトライドドットに注入された前記電荷を、  
前記第 2 半導体領域から前記第 1 半導体領域に電子を流すことにより判定し、

前記第 2 端部上の前記シリコンナイトライドドットに注入された前記電荷を、  
前記第 1 半導体領域から前記第 2 半導体領域に電子を流すことにより判定すること  
を特徴とする請求項 20 記載の不揮発性半導体記憶装置。

【請求項 25】 前記シリコンナイトライドドットは、 $\text{Si}_x\text{N}_{1-x}$  ( $0 < x < 1$ ) であることを特徴とする請求項 20 記載の不揮発性半導体記憶装置。

【請求項 26】 前記  $\text{Si}_x\text{N}_{1-x}$  の  $x$  は概ね 0.43 であることを特徴とする  
請求項 25 記載の不揮発性半導体記憶装置。

【請求項 27】 前記シリコンナイトライドドットは、その表面部の窒素濃  
度が、その中央部の窒素濃度より大きいことを特徴とする請求項 20 記載の不揮  
発性半導体記憶装置。

【請求項 28】 前記シリコンナイトライドドットは、前記第 3 絶縁膜上に  
単層で存在することを特徴とする請求項 20 記載の不揮発性半導体記憶装置。

【請求項 29】 (a) 半導体基板中に形成された第 1 及び第 2 半導体領域  
と、

(b) 前記第 1 及び第 2 半導体領域間に位置するチャネル領域と、

(c) 前記チャネル領域上の前記半導体基板上に形成された第 1 絶縁膜と、

(d) 前記第 1 絶縁膜上に形成された第 1 導電性膜と、

(e) 前記第 1 導電性膜の両側の前記半導体基板上に形成された第 2 絶縁膜と

(f) 前記第 2 絶縁膜上に形成されたシリコンナイトライドドットと、

(g) 前記シリコンナイトライドドット上に形成された第 3 絶縁膜と、

(h) 前記第 3 絶縁膜上に形成された第 2 導電性膜と、を有し、

(i) 前記第 1 導電性膜の両側にそれぞれ隣接する前記シリコンナイトライド  
ドットに、電荷を注入することにより書き込みを行うこと特徴とする不揮発性半  
導体記憶装置。

【請求項 30】 (a) 半導体基板中に第 1 及び第 2 半導体領域をそれぞれ  
が離間するよう形成する工程と、



(b) 前記第 1 及び第 2 半導体領域上に第 1 絶縁膜を形成する工程と、  
(c) 前記第 1 絶縁膜上にシリコンドットを析出させる工程と、  
(d) 前記シリコンドットを窒化することによりシリコンナイトライドドットを形成する工程と、  
(e) 前記シリコンナイトライドドット上に第 2 絶縁膜を形成する工程と、  
(f) 前記第 2 絶縁膜上に導電性膜を形成する工程と、  
を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 31】 前記 (d) 工程は、プラズマ雰囲気下で行われることを特徴とする請求項 30 記載の不揮発性半導体記憶装置の製造方法。

【請求項 32】 (a) 半導体基板上に第 1 絶縁膜を介して第 1 導電性膜を形成する工程と、

(b) 前記第 1 導電性膜の第 1 側壁下に斜めインプラ法を用いて半導体領域を形成する工程と、

(c) 前記第 1 導電性膜の前記第 1 側壁に対向する第 2 側壁側の前記半導体基板上に第 2 絶縁膜を形成する工程と、

(d) 前記第 2 絶縁膜上にシリコンドットを析出させる工程と、

(e) 前記シリコンドットを窒化することによりシリコンナイトライドドットを形成する工程と、

(f) 前記シリコンナイトライドドット上に第 3 絶縁膜を形成する工程と、

(g) 前記第 3 絶縁膜上に第 2 導電性膜を形成する工程と、  
を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 33】 前記 (e) 工程は、プラズマ雰囲気下で行われることを特徴とする請求項 32 記載の不揮発性半導体記憶装置の製造方法。

【請求項 34】 前記 (c) 工程は、熱酸化により第 1 シリコン酸化膜を形成する工程であり、

前記 (f) 工程は、化学気相成長法で第 2 シリコン酸化膜を形成する工程であることを特徴とする請求項 32 記載の不揮発性半導体記憶装置の製造方法。

【請求項 35】 (a) 半導体基板上に第 1 絶縁膜を介して複数のライン状の第 1 導電性膜を形成する工程と、

- (b) 前記第1導電性膜間の前記半導体基板上に第2絶縁膜を形成する工程と、
- (c) 前記第2絶縁膜上にシリコンドットを析出させる工程と、
- (d) 前記シリコンドットを窒化することによりシリコンナイトライドドットを形成する工程と、
- (e) 前記シリコンナイトライドドット上に第3絶縁膜を形成する工程と、
- (f) 前記第3絶縁膜上に第2導電性膜を形成する工程と、
- を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項36】 前記(d)工程は、プラズマ雰囲気下で行われることを特徴とする請求項35記載の不揮発性半導体記憶装置の製造方法。

【請求項37】 前記(b)工程は、熱酸化により第1シリコン酸化膜を形成する工程であり、

前記(e)工程は、化学気相成長法で第2シリコン酸化膜を形成する工程であることを特徴とする請求項35記載の不揮発性半導体記憶装置の製造方法。

【請求項38】 前記(a)工程の後に、前記第1導電性膜間の前記半導体基板中であって、前記第1導電性膜間の1つ置きに半導体領域を形成することを特徴とする請求項35記載の不揮発性半導体記憶装置の製造方法。

【請求項39】 前記(a)工程の前に、前記第1導電性膜の下部の前記半導体基板中であって、前記複数のライン状の前記第1導電性膜の1つ置きに半導体領域を形成することを特徴とする請求項35記載の不揮発性半導体記憶装置の製造方法。

【請求項40】 (a) 半導体基板上に第1絶縁膜を形成する工程と、

(b) 前記第1絶縁膜上にシリコンドットを析出させる工程と、

(c) 前記シリコンドットを窒化することによりシリコンナイトライドドットを形成する工程と、

(d) 前記シリコンナイトライドドット上に第2絶縁膜を形成する工程と、

(e) 前記第2絶縁膜上に第1導電性膜を形成する工程と、

(f) 前記第2絶縁膜の端部の前記半導体基板上に第3絶縁膜を形成する工程と、

(g) 前記第3絶縁膜上から前記第1導電性膜の上部の第4絶縁膜上まで延在する第2導電性膜を形成する工程と、

(h) 前記第1及び第2導電性膜の両端部の前記半導体基板中に半導体領域を形成する工程と、

を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項41】 前記(c)工程は、プラズマ雰囲気下で行われることを特徴とする請求項40記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性半導体記憶装置及びその製造方法に係り、特に高集積化、高信頼化を実現する方法に関するものである。

【0002】

【従来の技術】

フラッシュメモリに代表される不揮発性半導体記憶装置は携帯性、耐衝撃性に優れ、電氣的に一括消去が可能なことから、近年、携帯型パーソナルコンピュータやデジタルスチルカメラ、デジタルビデオカメラ等の小型携帯情報機器のファイルとして急速に需要が拡大している。

【0003】

その市場の拡大にはビット当りのメモリセル面積縮小によるコスト低減が必須であり、これを実現するため、1つのメモリセルに2ビット分のデータを記憶する技術が各種提案されている。

【0004】

そのうちの1つとして、例えば、特許文献1及び特許文献2に開示されたような、シリコンナイトライド膜中の離散トラップに電荷を蓄積する技術がある。

【0005】

この種のメモリセルは、例えば図85に示すように、シリコン基板101中のp型ウェル102、ウェル中のソース・ドレイン拡散層103、103'、電荷蓄積膜であるシリコンナイトライド膜111、制御ゲート109、及びp型ウェ

ル 102 とシリコンナイトライド膜 111 を分離するシリコン酸化膜 105、制御ゲート 109 とシリコンナイトライド膜 111 を分離するシリコン酸化膜 108 から構成されている。制御ゲート 109 は行方向に接続されワード線を構成している。ソース・ドレイン拡散層 103、103' は隣接するメモリセルの拡散層を共用する。104 は、分離領域である。

#### 【0006】

本メモリセルは、MOS (Metal Oxide Semiconductor) トランジスタのゲート絶縁膜を、シリコン酸化膜 (SiO<sub>2</sub>) /シリコンナイトライド膜 (SiN) /シリコン酸化膜 (SiO<sub>2</sub>) とした、いわゆる ONO 膜としていることから、MOS 型の不揮発性半導体記憶装置と呼ばれている。

#### 【0007】

上記特許文献 1 や 2 においては、1 つのメモリセルに 2 ビットを記憶するため、書込みにチャネルホットエレクトロン注入を用い、電圧印加条件により、ソース 103 及びドレイン 103' の両端部上のシリコンナイトライド膜 111 中トラップに電子を注入する。

#### 【0008】

まず、ドレイン 103' の端部上のシリコン窒化膜に電子を注入する際は、図 86 に示すように、ワード線 (制御ゲート) 109、ドレイン 103' にそれぞれ独立した正の電圧を印加し、p 型ウェル 102、ソース 103 は 0 V とする。これによりドレイン端部のチャネルでホットエレクトロンが発生し、その上部にあるシリコンナイトライド膜 111 (図 86 の A 部) に電子が注入、蓄積される。

#### 【0009】

一方、ソース 103 の端部上のシリコンナイトライド膜 (図 87 の B 部) に電子を注入、蓄積する際は、図 87 のように、ワード線 109、ソース 103 にそれぞれ独立した正の電圧を印加し、p 型ウェル 102、ドレイン 103' は 0 V とする。

#### 【0010】

読出しの際は、蓄積された電子を感度よく検出するため、図 88 及び図 89 に

示すように、書込みの場合とソース・ドレイン拡散層バイアスを逆にして行う。

【0 0 1 1】

なお、後述するように捕獲電荷量を確保するための不揮発性記憶装置についての開示が、例えば特許文献 3 にある。

【0 0 1 2】

【特許文献 1】

USP 6, 0 1 1, 7 2 5 号公報

【0 0 1 3】

【特許文献 2】

USP 5, 9 6 6, 6 0 3 号公報

【0 0 1 4】

【特許文献 3】

特開平 5 - 7 5 1 3 3 号公報

【0 0 1 5】

【発明が解決しようとする課題】

しかしながら、上記した不揮発性半導体記憶装置は信頼性と微細化の観点から次のような課題を有していた。

【0 0 1 6】

まず、上記不揮発性半導体記憶装置では、シリコンナイトライド膜中に離散的に存在するトラップのある一部分に局所的に電子を蓄積しているが、我々の研究の結果、トラップ間を分離するシリコンナイトライド膜のバリアハイトがシリコン酸化膜に比べて小さいため、電源をオフにして放置状態とした際に、ソースあるいはドレイン端上部に蓄積された電子がチャネル方向に移動してしきい値が低下する電荷保持特性の劣化（リテンション不良）が生じることが明らかとなった。

【0 0 1 7】

また、微細化に伴いチャネル長が短くなると、ソースあるいはドレイン端上部に蓄積した電子が対向する他方のソースあるいはドレイン端部上まで移動し、形成された 2 ビットの情報が判別できなくなるという問題を生じた。

## 【0 0 1 8】

以上、MONOS型の不揮発性半導体記憶装置の高信頼化、微細化に関する課題を解決するための新たな不揮発性半導体記憶装置及びその製造方法の開発が望まれていた。

## 【0 0 1 9】

本発明の目的は、不揮発性半導体記憶装置の高信頼化を図ることにある。

## 【0 0 2 0】

本発明の別の目的は、不揮発性半導体記憶装置の微細化を図ることである。

## 【0 0 2 1】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

## 【0 0 2 2】

## 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【0 0 2 3】

本発明の不揮発性半導体記憶装置は、（a）半導体基板上に形成された第1絶縁膜と、（b）前記第1絶縁膜上に形成されたシリコンナイトライドドットと、（c）前記シリコンナイトライドドット上に形成された第2絶縁膜と、（d）前記第2絶縁膜上に形成された導電性膜と、（e）前記半導体基板中に形成された第1及び第2半導体領域と、（f）前記第1及び第2半導体領域間に位置するチャネル領域と、を有し、（g）前記チャネル領域から、前記チャネル領域の前記第1半導体領域側の第1端部上の前記シリコンナイトライドドットもしくは前記チャネル領域の前記第2半導体領域側の第2端部上の前記シリコンナイトライドドットに、電荷を注入することにより書き込みを行うものである。

## 【0 0 2 4】

また、本発明の不揮発性半導体記憶装置の製造方法は、（a）半導体基板中に第1及び第2半導体領域をそれぞれが離間するよう形成する工程と、（b）前記第1及び第2半導体領域上に第1絶縁膜を形成する工程と、（c）前記第1絶縁

膜上にシリコンドットを析出させる工程と、(d) 前記シリコンドットを窒化することによりシリコンナイトライドドットを形成する工程と、(e) 前記シリコンナイトライドドット上に第2絶縁膜を形成する工程と、(f) 前記第2絶縁膜上に導電性膜を形成する工程と、を有するものである。

#### 【0025】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

#### 【0026】

##### (実施の形態1)

図1～図16を用いて、本発明の実施の形態1を説明する。図1は本実施の形態の不揮発性半導体記憶装置のメモリセルを行列状に配置したメモリセルアレイの平面図であり、図2は図1のA-A'断面図、図3は図1のB-B'断面図、図4は図1のC-C'断面図、図5～図8はメモリセルの書込みと読出しの動作条件を示す断面図、図9～図16はメモリセルの製造工程を示した基板の要部断面図である。

#### 【0027】

図1～図4に示すように、本メモリセルはシリコン基板101に形成されたp型(第1導電型)ウェル102中のn型(第2導電型)ソース・ドレイン拡散層(半導体領域)103、103'、電荷を蓄積するシリコンナイトライド(SiN)ドット107、制御ゲート109から構成される。

#### 【0028】

各メモリセルの制御ゲート109は行方向(X方向)に接続され、ワード線を形成している。

#### 【0029】

シリコンナイトライドドット107とp型ウェル102は第1の絶縁膜であるシリコン酸化膜105に、シリコンナイトライドドット107と制御ゲート109は第2の絶縁膜であるシリコン酸化膜108によりそれぞれ分離されている。

シリコン酸化膜 108 はシリコンナイトライドドット 107 間を分離する機能も有している。

#### 【0030】

ソース・ドレイン拡散層 103 及び 103' はワード線 109 に垂直（Y 方向）に配置され、列方向のメモリセルのソース・ドレインを接続するローカルソース線及びローカルデータ線として存在する。すなわち本不揮発性半導体記憶装置は、メモリセル毎にコンタクト孔を持たないいわゆるコンタクトレス型のアレイから構成される。この拡散層 103、103' に垂直な方向にチャネルが形成される。図 1 の M は、メモリセル領域を示す。

#### 【0031】

本実施の形態が図 85～図 89 を参照しながら説明した不揮発性半導体記憶装置と大きく異なる点は、電荷を蓄積するシリコンナイトライドを、連続膜からナノメータオーダーのドット状としたことである。1 個のナイトライドドット内には複数の電子トラップが存在するが、ナイトライドドット間はバリアハイトの高いシリコン酸化膜で分離されている。この結果、放置時のチャネル方向の電荷移動が抑制され、電荷保持特性が向上する。

#### 【0032】

ここで、ドットとは、シリコンナイトライドを主成分とする粒状の塊である。また、ドット膜は、このようなドットが平面状に複数配置された不連続な膜である。また、各ドットは、粒状の塊の単位で、他のドットから分離され、各ドットは、当該ドットを構成する主成分よりバリアハイトの高い膜、例えばシリコン酸化膜で覆われている。従って、不連続な膜であっても、膜中に孔を多数有し、孔の外周を伝って電荷が移動可能な膜では、その効果が低減される。また、各ドットが積層している場合には、上層と下層のドット間の分離が困難であり、電荷移動のルートが生じやすい。また、各ドットを積層し、また、これらの間を他の絶縁膜で分離する場合には、ドットを含む絶縁膜が厚膜化し、メモリセルの微細化への対応が困難となる。従って、ドット膜は、各ドットが単層（一列）で平面状に広がった膜であることが望ましい。

#### 【0033】



本メモリセルの書込みと読出し動作を図5～図8を用いて説明する。

#### 【0034】

1つのメモリセルに2ビットを記憶する方法は、図85～図89を参照しながら説明した不揮発性半導体記憶装置の場合と概ね同一である。

#### 【0035】

まず、ドレイン103'の端部上のシリコンナイトライドドットに電子を注入する際は、図5に示すように、ワード線109、ドレイン103'にそれぞれ独立した正の電圧を印加し、p型ウェル102、ソース103は0Vとする。これによりドレイン端部のチャネルでホットエレクトロンが発生し、その上部にあるシリコンナイトライドドット107（図5のA部）に電子が注入、蓄積される。

#### 【0036】

一方、ソース103の端部上のシリコンナイトライドドットに電子を注入、蓄積する際は、図6のように、ワード線109、ソース103にそれぞれ独立した正の電圧を印加し、p型ウェル102、ドレイン103'は0Vとし、B部に電子を注入、蓄積する。

#### 【0037】

読出しは、蓄積された電子を感度よく検出するため、図7及び図8に示すように、書込みの場合とソース・ドレイン拡散層バイアスを逆にして行う。V<sub>r</sub>は、読み出し電圧である。

#### 【0038】

消去に関しては、図5のA部に電子が蓄積されている場合は、例えば、ドレイン103'に正の電圧を、ワード線109に負の電圧を印加し、p型ウェル102、ソース103は0Vとし、ドレイン端部で発生したホールをA部に注入することにより行なう。図6のようにB部に電子が蓄積されている場合は、例えば、ソース103に正の電圧を、ワード線109に負の電圧を印加し、p型ウェル102、ドレイン103'は0Vとし、ソース端部で発生したホールをB部に注入することにより行なう。

#### 【0039】

次に、図9～図16を用いて本メモリセルの製造方法を示す。

## 【0040】

まず、面方位(100)のp型Si(シリコン)基板101に、イオン打込み法によりp型ウェル102を形成する(図9)。次にヒ素等のn型不純物のイオン打込みにより、メモリセルのソース・ドレインとなる拡散層領域103、103'を形成する(図10)。その後、熱酸化法により、上記した拡散層領域103、103'を選択的に酸化し、シリコン酸化膜よりなる分離領域104を形成する(図11)。その後、熱酸化法によりシリコンナイトライドドットとウェルを分離するための第1の絶縁膜であるシリコン酸化膜105を形成する(図12)。次に、減圧化学気相成長(LPCVD)法により、まず直径約10nmのシリコンナノドット106を形成する(図13)。例えば、温度550~650℃(より好ましくは580~640℃、更に好ましくは600~610℃)、原料ガスの流量10~100sccm(より好ましくは40~60sccm)、圧力10~100Pa(より好ましくは20~30Pa)下でSiを気相成長することにより、例えば直径約10nmのシリコンナノドット106をほぼ単層状に形成することができる。また、ドットは、直径30nm程度以下とし、ドット同士が繋がらない程度まで成長させる。前記条件により連続膜になることがなく、また、安定的にドット膜を形成することができる。

## 【0041】

次いで、シリコンナノドット106をプラズマ窒化(プラズマ雰囲気下で窒化)してシリコンナイトライドドット107とする(図14)。本方法により形成したシリコンナイトライドドットはその構造が $Si_xN_{1-x}$ ( $0 < x < 1$ )であり、シリコン(Si)と窒素(N)の組成比は、概ね $x = 0.43$ である。また、本方法により形成したシリコンナイトライドドットは、シリコンドットに対するプラズマ窒化反応がドット表面よりドット中央部に向かって進むため、ドット表面側の窒素濃度がドット中央部に比べ大となっている。

## 【0042】

プラズマ窒化の原料ガスとしてはアンモニア( $NH_3$ )や窒素( $N_2$ )が用いられる。また、処理条件としては、例えば、温度200~600℃(より好ましくは400~500℃)、原料ガスの流量50~100sccm、圧力10~70

0 Pa (より好ましくは 40 ~ 80 Pa) のプラズマ雰囲気下で窒化を行うことができる。また、プラズマ雰囲気下で窒化を行うことにより、例えば熱窒化する場合と比較して、低温でシリコンナノドットをシリコンナイトライドドットに変換することができる。

#### 【0043】

なお、シリコンナイトライドドットの形成については、例えばジクロロシランあるいはモノシランとアンモニアを原料ガスに用い、LPCVD法を用いて直接堆積する方法が考えられるが、この方法ではシリコンナイトライドが連続膜になりやすく、ドットを安定して形成することは困難であった。

#### 【0044】

また、電荷のトラップ層としてシリコン酸窒化ドットを用いてもよい。例えば、シリコンナノドットを酸化した後、プラズマ窒化する。もしくは、酸素を含有する窒素雰囲気下でプラズマ処理する等によりシリコン酸窒化ドットを形成することが可能である。なお、シリコンナイトライドとシリコン酸化膜とのバリアハイト差は、シリコン酸窒化膜とシリコン酸化膜とのバリアハイト差より大きいいため、電荷のトラップ層としてシリコンナイトライドドットを用いた方が電荷の移動防止効果が高い。

#### 【0045】

また、電荷のトラップ層としてシリコンドット等の導電性のドットを用いることも考え得るが、この場合、ドットとその上下の絶縁膜との間に容量結合が生じるため動作電圧が大きくなる。従って、絶縁性のドットを用いた方が駆動電圧の低電圧化を図ることができる。

#### 【0046】

次いで、前記シリコンナイトライドドットを形成後、同ドットと制御ゲートを分離するための第2の絶縁膜であるシリコン酸化膜108をLPCVD法により形成する(図15)。

#### 【0047】

第1及び第2の絶縁膜をシリコン酸化膜としてシリコンナイトライドドットをシリコン酸化膜により完全に分離することにより、シリコンナイトライドドット

内に蓄積された電子は1個のドット内に存在するトラップ間を移動することは容易であるが、ドット間の移動には高いエネルギーが必要となる。これはシリコンナイトライド膜に比べシリコン酸化膜のほうがバリアハイトが大きいためである。このようにシリコンナイトライドドットをシリコン酸化膜中に埋込んだ構造とすることにより、ドット内に蓄積された電子のチャネル方向の移動が抑制可能となる。

#### 【0048】

なお、例えば特開平5-75133号公報に、シリコンリッチなシリコン酸化膜中に析出したシリコンを窒化し、これに電荷を蓄積する方法が論じられている。しかしながら、シリコンリッチなシリコン酸化膜 ( $\text{Si}_x\text{O}_2: X > 1$ ) は膜中のトラップが多く、このトラップを介したチャネル方向の電荷移動が大きいという問題があり、電荷保持特性の確保は困難であると考えられる。また、トラップを単層とし難く、また、積層するトラップ間の絶縁性を確保することが困難であると考えられる。また、トラップ及びその上下に位置する絶縁膜の膜厚が大きくなり易く、メモリセルの微細化に対応し難いと考えられる。なお、本実施の形態のシリコンナイトライドドットを覆うシリコン酸化膜は、 $\text{Si}_x\text{O}_2: X \leq 1$  と考えられる。

#### 【0049】

その後、制御ゲートとなる導電性膜、例えばポリシリコンとタンゲステンシリサイドの積層膜、いわゆるポリサイド膜109、及びシリコン酸化膜110を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターンニングしてワード線とする(図16)。その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線109、ソース・ドレイン拡散層103、103'、p型ウェル102に至るコンタクト孔を形成し、次に金属膜を堆積しこれを加工して金属配線とし、不揮発性半導体記憶装置のメモリセルを完成する。

#### 【0050】

図17は本実施の形態により形成された不揮発性半導体記憶装置のメモリセルの電荷保持特性を測定した結果である(グラフa)。縦軸は、しきい値電圧(V

）、横軸は、時間である。同図には比較のため、従来技術により形成したメモリセル（例えば図 85～図 89 を参照しながら説明した不揮発性半導体記憶装置）の特性も合せて示した（グラフ b）。電荷蓄積領域となるシリコンナイトライドを連続膜からドット状とすることにより、チャネル方向の電荷移動によるしきい値の低下が抑制された結果、電荷保持特性が向上した。

#### 【0051】

また、本実施の形態により形成されたメモリセルは従来構造に比べ、より短いゲート長であっても、長時間放置後、図 5～図 8 に示したソース端 B 部、ドレイン端 A 部の書込みを判別することが可能であった。これはチャネル方向の電荷移動が抑制された結果、短いゲート長でもソース端、ドレイン端部の電荷が混じりあうことがなくなったためである。

#### 【0052】

このように本実施の形態によれば、不揮発性半導体記憶装置の信頼度が向上できるという効果がある。またメモリセルの微細化が図れるという効果がある。

#### 【0053】

（実施の形態 2）

次に図 18～図 34 を用いて本発明の実施の形態 2 を説明する。

#### 【0054】

図 18 は本実施の形態の不揮発性半導体記憶装置のメモリセルアレイの平面図であり、図 19 は図 18 の A-A' 断面図、図 20 は図 18 の B-B' 断面図、図 21 は図 18 の C-C' 断面図、図 22 及び図 23 はメモリセルの書込みと読出しの動作条件を示す断面図、図 24～図 34 はメモリセルの製造工程を示す基板の要部断面図である。

#### 【0055】

図 18～図 21 に示すように、本メモリセルはシリコン基板 201 に形成された p 型（第 1 導電型）ウェル 202 中のソース・ドレイン（第 2 導電型）拡散層 206、206'、電荷を蓄積するシリコンナイトライドドット 210、第 1 のゲートである制御ゲート 212、第 2 のゲートである補助（アシスト）ゲート 204a から構成される。各メモリセルの制御ゲート 212 は行方向に接続され、ワー

ド線を形成している。

#### 【0056】

シリコンナイトライドドット 210 と p 型ウェル 202 は第 1 の絶縁膜であるシリコン酸化膜 208 に、シリコンナイトライドドット 210 と制御ゲート 212 は第 2 の絶縁膜であるシリコン酸化膜 211 によりそれぞれ分離されている。シリコン酸化膜 211 はシリコンナイトライドドット 210 間を分離する機能も有している。

#### 【0057】

ソース・ドレイン拡散層 206 及び 206' はワード線 212 に垂直に配置され、列方向のメモリセルのソース・ドレインを接続するローカルソース線及びローカルデータ線として存在する。すなわち本不揮発性半導体記憶装置は、メモリセル毎にコンタクト孔を持たないいわゆるコンタクトレス型のアレイから構成される。この拡散層 206、206' に垂直な方向にチャネルが形成される。図 18 の M は、メモリセル領域を示す。

#### 【0058】

本実施の形態においては、ソース・ドレインを形成する一对の拡散層 206、206' の一方のみが補助ゲート 204a とオーバーラップするように存在する。

#### 【0059】

次に、書込み及び読出し動作を図 22 及び図 23 を用いて説明する。本実施の形態では、図 22 に示すように、ソース側の補助ゲートに隣接したチャネル上のシリコンナイトライドドット（図 22 の A 部）にのみ電子を注入、蓄積することが可能である。この場合、ワード線 212 に正の大きな電圧、例えば 8 V 程度を、また、補助ゲート 204a には 1.1 V 程度の低い電圧を、また、ドレイン 206' には 4.5 V 程度を印加する。ソース 206 及び p 型ウェル 202 は 0 V に保持する。これにより補助ゲート 204a 下のチャネル部のうち、ソース 206 とは反対側の端部でチャネル水平方向電界が増大し、ホットエレクトロンが発生して補助ゲートに隣接するシリコンナイトライドドット（図 22 の A 部）に電子が注入される。つまり本補助ゲート 204a はその下部に存在するチャネルを

制御するゲートとして機能する。

#### 【0060】

本メモリセルによれば、補助ゲートを設けたので、例えば図85～図89を参照しながら説明した不揮発性半導体記憶装置に比べホットエレクトロンの発生及び注入効率が増大し、チャネル電流の小さな領域での書込みが可能となる。従って、従来と同程度の電流供給能力をもつ内部電源で、キロバイトオーダー以上の多数個のメモリセルの並列書込みが可能となる。

#### 【0061】

読出しの際は、例えば図23のように、ワード線212、ソース206、補助ゲート204aにそれぞれ独立した正の電圧を印加し、p型ウェル202、ドレイン206'は0Vとする。V<sub>r</sub>は、読み出し電圧である。

#### 【0062】

消去の際は、例えば、ワード線212に負の電圧を印加し、p型ウェル202、ソース・ドレイン206、206'、補助ゲート204a、204a'は0Vとして、シリコンナイトライドドット中に蓄積された電子をウェルに放出する。

#### 【0063】

次に、図24～図34を用いて本メモリセルの製造方法を示す。

#### 【0064】

まず、シリコン基板201上にp型ウェル202を形成する(図24)。続いて公知の熱酸化法により補助ゲートとウェルを分離するゲート酸化膜203を形成し、その後、補助ゲートとなる導電性膜、例えばリン等の不純物をドーピングしたポリシリコン膜204、及びシリコン酸化膜205を順次堆積する(図25)。

#### 【0065】

次に、公知のリソグラフィとドライエッチング技術により上記シリコン酸化膜205及びポリシリコン膜204をパターニングする。その結果、シリコン酸化膜及びポリシリコン膜はそれぞれ205a、204a、204a'となる(図26)。

#### 【0066】

その後、斜めイオン打込み法によりヒ素等の n 型不純物イオンを打込み、メモリセルのソース・ドレインとなる拡散層 206、206' を形成する(図 27)。次に、CVD 法によりシリコン酸化膜 207 を堆積し(図 28)、これを異方性エッチングして補助ゲート側壁にのみ残す(図 29)。その結果、シリコン酸化膜 207 は 207a (サイドウォール) となる。

#### 【0067】

その後、熱酸化法によりシリコンナイトライドドットとウェルを分離するためのシリコン酸化膜 208 を形成する(図 30)。

#### 【0068】

次に、減圧化学気相成長法(LP-CVD)法により、まずシリコンナノドット 209 を形成し(図 31)、これをプラズマ窒化してシリコンナイトライドドット 210 とする(図 32)。なお、シリコンナノドット及びその窒化処理については、実施の形態 1 で説明したので、ここではその詳細な説明を省略する。

#### 【0069】

その後、シリコンナイトライドドットと制御ゲートを分離するためのシリコン酸化膜 211 を例えば CVD (Chemical Vapor Deposition) 法で形成する(図 33)。

#### 【0070】

このように本実施の形態によれば、シリコンナイトライドドットの下層の絶縁膜を熱酸化膜とし、その上層の酸化膜を CVD 法で形成したので、1) 下層の絶縁膜のトラップを少なくし、かかる絶縁膜を介する電荷の移動を低減することができる。2) また、下層の絶縁膜を CVD 膜(堆積膜)とした場合、シリコン酸化膜 207a の側壁にさらに絶縁膜が堆積することとなり、補助ゲート間、即ち、シリコンナイトライドドットの形成領域が小さくなる。その結果、電荷のトラップ領域が少なくなり、蓄積電荷量が小さくなる。これに対し、熱酸化法を用いれば、補助ゲート間隔を確保でき、蓄積電荷量を大きくできる。3) また、シリコン酸化膜 207a の側壁にさらに絶縁膜が堆積すると、補助ゲートによるチャネル電界の増大が緩和され、ホットエレクトロンの発生及び注入効率が低下する。これに対し、熱酸化法を用いれば、ホットエレクトロンの発生及び注入効率を



向上させることができる。

#### 【0071】

その後、制御ゲートとなるポリシリコンとタングステンシリサイドの積層膜、いわゆるポリサイド膜 212 とシリコン酸化膜 213 を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターンニングしてワード線とする（図 34）。

#### 【0072】

その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線 212、補助ゲート 204a、204a'、ソース・ドレイン拡散層 206、206'、p 型ウェル 202 に至るコンタクト孔を形成し、次に、金属膜を堆積し、これを加工して金属配線とし、不揮発性半導体記憶装置のメモリセルを完成する。

#### 【0073】

本メモリセルにおいても、実施の形態 1 と同様、電荷を蓄積するシリコンナイトライドを連続膜とした場合に比べ電荷保持特性が向上した。

#### 【0074】

このように本実施の形態によれば、不揮発性半導体記憶装置の信頼性が向上できるという効果がある。

#### 【0075】

特に、補助ゲートを有するメモリセルにおいては、1 ビット書き込みであっても、補助ゲートに隣接したチャネル上のシリコンナイトライドドット（図 22 の A 部）にのみ電子を蓄積、即ち局所的に電子を蓄積し、かかる箇所に蓄積電子が存在することを前提に読み出し動作が行われるため、蓄積電子の移動を効果的に防止する必要がある。

#### 【0076】

（実施の形態 3）

次に図 35～図 53 を用いて本発明の実施の形態 3 を説明する。実施の形態 2 との違いは、補助ゲートとソース・ドレイン拡散層の配置を工夫することにより、実施の形態 1 と同様、1 つのメモリセルの 2 箇所に電荷の蓄積を行った点であ

る。

#### 【0077】

図35は本実施の形態の不揮発性半導体記憶装置のメモリセルアレイの平面図であり、図36は図35のA-A'断面図、図37は図35のB-B'断面図、図38は図35のC-C'断面図、図39～図42はメモリセルの書込みと読出しの動作条件を示す断面図、図43～図53はメモリセルの製造工程を示す基板の要部断面図である。

#### 【0078】

図35～図38に示すように、本メモリセルはシリコン基板201に形成されたp型（第1導電型）ウェル202中のソース・ドレイン（第2導電型）拡散層206、206'、電荷を蓄積するシリコンナイトライドドット210、第1のゲート電極である制御ゲート212、第2のゲート電極である補助ゲート204a、第3のゲートである補助ゲート204a'から構成される。各メモリセルの制御ゲート212は行方向に接続され、ワード線を形成している。

#### 【0079】

シリコンナイトライドドット210とp型ウェル202はシリコン酸化膜208により、シリコンナイトライドドット210と制御ゲート212はシリコン酸化膜211によりそれぞれ分離されている。シリコン酸化膜211はシリコンナイトライドドット210間を分離する機能も有している。

#### 【0080】

ソース・ドレイン拡散層206及び206'はワード線212に垂直に配置され、列方向のメモリセルのソース・ドレインを接続するローカルソース線及びローカルデータ線として存在する。すなわち本不揮発性半導体記憶装置は、メモリセル毎にコンタクト孔を持たないいわゆるコンタクトレス型のアレイから構成される。この拡散層206、206'に垂直な方向にチャネルが形成される。

#### 【0081】

本実施の形態においては、実施の形態2とは異なり、ソース・ドレイン拡散層206、206'は補助ゲート（204a、204a'）のパターンのスペース部1本おきに配置される。図35のMは、メモリセル領域を示す。

**【 0 0 8 2 】**

次に、書込み及び読出し動作を図 3 9 ～図 4 2 を用いて説明する。まずドレイン 2 0 6 ' 側のシリコンナイトライドドット (図 3 9 の A 部) に電子を蓄積する場合は、ワード線 2 1 2 に正の大きな電圧、例えば 8 V 程度を、また、ソース 2 0 6 とオーバーラップする補助ゲート 2 0 4 a には 1.1 V 程度の低い電圧を、また、ドレイン 2 0 6 ' には 4.5 V 程度を印加する。

**【 0 0 8 3 】**

この際、ドレイン 2 0 6 ' とオーバーラップする補助ゲート 2 0 4 a ' はその下のチャンネルが十分反転するような高い電圧、例えば 6.5 V を印加する。またソース 2 0 6 及び p 型ウェル 2 0 2 は 0 V に保持する。これによりソース側の補助ゲート 2 0 4 a 下のチャンネル部のうち、ソース 2 0 6 とは反対側の端部でチャンネル水平方向電界が増大し、ホットエレクトロンが発生して補助ゲートに隣接するシリコンナイトライドドット (図 3 9 の A 部) に電子が注入される。

**【 0 0 8 4 】**

これに対し、ソース 2 0 6 側のシリコンナイトライドドット (図 4 1 の B 部) に電子を蓄積する場合は、ワード線 2 1 2 に正の大きな電圧、例えば 8 V 程度を、補助ゲート 2 0 4 a ' に 1.1 V 程度の低い電圧を、また、ソース 2 0 6 に例えば 4.5 V を印加する。この際、補助ゲート 2 0 4 a は 6.5 V 程度、ドレイン 2 0 6 ' 及び p 型ウェル 2 0 2 は 0 V に保持する。

**【 0 0 8 5 】**

読出しの際は、両補助ゲートはその下のチャンネルが十分に反転するよう 3.5 V を印加し、電荷が蓄積している部分から遠い方の拡散層に例えば 2 V を印加する。これにより蓄積された電子を感度よく検出することが可能である。V<sub>r</sub> は、読み出し電圧である (図 4 0、図 4 2)。

**【 0 0 8 6 】**

消去の際は、例えば、ワード線 2 1 2 に負の電圧を印加し、p 型ウェル 2 0 2、ソース・ドレイン拡散層 2 0 6、2 0 6 '、補助ゲート 2 0 4 a、2 0 4 a ' は 0 V として、シリコンナイトライドドット中に蓄積された電子をウェルに放出する。

**【0087】**

次に、図43～図53を用いて本メモリセルの製造方法を示す。

**【0088】**

まず、シリコン基板201上にp型ウェル202を形成する(図43)。続いて公知の熱酸化法により補助ゲートとウェルを分離するゲート酸化膜203を形成し、その後、補助ゲートとなるリン等の不純物をドーピングしたポリシリコン膜204及びシリコン酸化膜205を順次堆積する(図44)。

**【0089】**

次に公知のリソグラフィとドライエッチング技術により上記シリコン酸化膜205及びポリシリコン膜204をパターニングする。その結果、シリコン酸化膜及びポリシリコン膜はそれぞれ205a、204a、204a'となる(図45)。

**【0090】**

その後、実施の形態2とは異なり、垂直のイオン打込み法によりヒ素等のn型不純物イオンを打込み、メモリセルのソース・ドレインとなる拡散層206、206'を形成する。この際、レジストマスクを用い、補助ゲートスペース1本おきに拡散層が形成されるようにする(図46)。

**【0091】**

次に、CVD法によりシリコン酸化膜207を堆積し(図47)、これを異方性エッチングして補助ゲート側壁にのみ残す(図48)。その結果、シリコン酸化膜207は207aとなる。

**【0092】**

その後、例えばCVD法によりシリコンナイトライドドットとウェルを分離するためのシリコン酸化膜208を形成する(図49)。次に、減圧化学気相成長法(LPCVD)法により、まずシリコンナノドット209を形成し(図50)、これをプラズマ窒化してシリコンナイトライドドット210とする(図51)。次いで、シリコンナイトライドドットと制御ゲートを分離するためのシリコン酸化膜211を例えばCVD法で形成する(図52)。

**【0093】**

なお、シリコンナノドット及びその窒化処理については、実施の形態 1 で説明したので、ここではその詳細な説明を省略する。また、実施の形態 2 で詳細に説明したように、シリコンナイトライドドットの下層の絶縁膜を熱酸化膜とし、その上層の酸化膜を堆積膜とすることにより、1) 下層の絶縁膜のトラップを少なくでき、2) 電荷のトラップ領域を確保でき、さらに、3) チャネル電界を増大できる等の効果を奏する。

#### 【0094】

その後、制御ゲートとなるポリシリコンとタングステンシリサイドの積層膜、いわゆるポリサイド膜 212 とシリコン酸化膜 213 を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターンニングしてワード線とする(図 53)。

#### 【0095】

その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線 212、補助ゲート 204a、204a' ソース・ドレイン拡散層 206、206'、p 型ウェル 202 に至るコンタクト孔を形成し、次に、金属膜を堆積し、これを加工して金属配線とし、不揮発性半導体記憶装置のメモリセルを完成する。

#### 【0096】

本メモリセルにおいても、実施の形態 1 及び 2 と同様、電荷を蓄積するシリコンナイトライドを連続膜とした場合に比べ電荷保持特性が向上した。

#### 【0097】

また、補助ゲート間のスペースを狭め、シリコンナイトライドドットにより形成されるチャネルの長さを縮小しても、長時間放置後、図 39～図 42 の A、B 部に蓄積された電荷の状態を判別すること、すなわち 2 ビット分のデータの記憶が可能であった。

#### 【0098】

このように本実施の形態によれば、不揮発性半導体記憶装置の信頼度が向上できるという効果がある。またメモリセル面積の微細化が図れるという効果がある。

。

**【0099】****(実施の形態4)**

次に図54～図72を用いて本発明の実施の形態4を説明する。実施の形態3との違いは、補助ゲート間に位置するシリコンナイトライドドット形成領域の両端に電荷の蓄積を行うのではなく、補助ゲートの両端のシリコンナイトライドドットに電荷を蓄積する。

**【0100】**

図54は本実施の形態の不揮発性半導体記憶装置のメモリセルアレイの平面図であり、図55は図54のA-A'断面図、図56は図54のB-B'断面図、図57は図54のC-C'断面図、図58～図61はメモリセルの書込みと読出しの動作条件を示す断面図、図62～図72はメモリセルの製造工程を示す基板の要部断面図である。

**【0101】**

図54～図57に示すように、本メモリセルはシリコン基板201に形成されたp型（第1導電型）ウェル202中のソース・ドレイン（第2導電型）拡散層1206、1206'、電荷を蓄積するシリコンナイトライドドット210、第1のゲート電極である制御ゲート212、第2のゲート電極である補助ゲート204a、第3及び第4のゲートである補助ゲート204a'、204a''から構成される。各メモリセルの制御ゲート212は行方向に接続され、ワード線を形成している。

**【0102】**

シリコンナイトライドドット210とp型ウェル202はシリコン酸化膜208に、シリコンナイトライドドット210と制御ゲート212はシリコン酸化膜211によりそれぞれ分離されている。シリコン酸化膜211はシリコンナイトライドドット210間を分離する機能も有している。

**【0103】**

ソース・ドレイン拡散層1206及び1206'はワード線212に垂直に配置され、列方向のメモリセルのソース・ドレインを接続するローカルソース線及びローカルデータ線として存在する。すなわち本不揮発性半導体記憶装置は、メ

メモリセル毎にコンタクト孔を持たないいわゆるコンタクトレス型のアレイから構成される。この拡散層 1206、1206' に垂直な方向にチャンネルが形成される。

#### 【0104】

本実施の形態においては、実施の形態3とは異なり、ソース・ドレイン拡散層 1206、1206' は補助ゲートのパターン下に1本おきに配置される。図54のMは、メモリセル領域を示す。

#### 【0105】

次に、書込み及び読出し動作を図58～図61を用いて説明する。まず補助ゲート204aのドレイン1206'側の端部のシリコンナイトライドドット(図58のA部)に電子を蓄積する場合は、ワード線212に正の大きな電圧、例えば8V程度を、また、補助ゲート204aには、その下部のチャンネルが弱く反転する程度の電圧、例えば1.1Vを印加する。また、ドレイン1206'には4.5V程度の電位を印加する。またソース1206及びp型ウェル202は0Vに保持する。

#### 【0106】

これにより補助ゲート204a下のチャンネル部のうち、ソース1206とは反対側の端部でチャンネル水平方向電界が増大し、ホットエレクトロンが発生して補助ゲートに隣接するシリコンナイトライドドット(図58のA部)に電子が注入される。

#### 【0107】

これに対し、ソース1206側のシリコンナイトライドドット(図60のB部)に電子を蓄積する場合は、ワード線212に正の大きな電圧、例えば8V程度を、また、補助ゲート204aには、その下部のチャンネルが弱く反転する程度の電圧、例えば1.1Vを印加する。また、ソース1206に例えば4.5V程度の電圧を印加する。またドレイン1206'及びp型ウェル202は0Vに保持する。

#### 【0108】

読出しの際は、補助ゲート204aはその下のチャンネルが十分に反転するよう

3.5 Vを印加し、電荷が蓄積している部分から遠い方の拡散層に例えば2 Vを印加する。これにより蓄積された電子を感度よく検出することが可能である。 $V_r$ は、読み出し電圧である(図59、図61)。

#### 【0109】

消去の際は、例えば、ワード線212に負の電圧を印加し、p型ウェル202、ソース・ドレイン拡散層1206、1206' および補助ゲート204aは0 Vとして、シリコンナイトライドドット中に蓄積された電子をウェルに放出する。

#### 【0110】

次に、図62～図72を用いて本メモリセルの製造方法を示す。

#### 【0111】

まず、シリコン基板201上にp型ウェル202を形成する(図62)。次にヒ素等のn型不純物のイオン打込みにより、メモリセルのソース・ドレインとなる拡散層領域1206、1206'を形成する(図63)。

#### 【0112】

この場合、実施の形態3とは異なり、補助ゲートを形成する前に、メモリセルのソース・ドレインとなる拡散層1206、1206'を形成する。なお、この後、拡散層1206、1206'の上部及びこれらの間に補助ゲートが配置される。

#### 【0113】

続いて公知の熱酸化法により補助ゲートとウェルを分離するゲート酸化膜203を形成し、その後、補助ゲートとなるリン等の不純物をドーピングしたポリシリコン膜204及びシリコン酸化膜205を順次堆積する(図64)。

#### 【0114】

次に公知のリソグラフィとドライエッチング技術により上記シリコン酸化膜205及びポリシリコン膜204をパターニングする。その結果、シリコン酸化膜及びポリシリコン膜はそれぞれ205a、204a、204a'、204a'となる(図65)。

#### 【0115】



次に、CVD法によりシリコン酸化膜207を堆積し(図66)、これを異方性エッチングして補助ゲート側壁にのみ残す(図67)。その結果、シリコン酸化膜207は207aとなる。

#### 【0116】

その後、熱酸化法によりシリコンナイトライドドットとウェルを分離するためのシリコン酸化膜208を形成する(図68)。次に、減圧化学気相成長法(LP CVD)法により、まずシリコンナノドット209を形成し(図69)、これをプラズマ窒化してシリコンナイトライドドット210とする(図70)。次いで、シリコンナイトライドドットと制御ゲートを分離するためのシリコン酸化膜211を例えばCVD法で形成する(図71)。

#### 【0117】

なお、シリコンナノドット及びその窒化処理については、実施の形態1で説明したので、ここではその詳細な説明を省略する。また、実施の形態2で詳細に説明したように、シリコンナイトライドドットの下層の絶縁膜を熱酸化膜とし、その上層の酸化膜を堆積膜とすることにより、1) 下層の絶縁膜のトラップを少なくでき、2) 電荷のトラップ領域を確保でき、さらに、3) チャネル電界を増大できる等の効果を奏する。

#### 【0118】

その後、制御ゲートとなるポリシリコンとタンゲステンシリサイドの積層膜、いわゆるポリサイド膜212とシリコン酸化膜213を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターンニングしてワード線とする(図72)。

#### 【0119】

その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線212、補助ゲート204a、204a'等、ソース・ドレイン拡散層1206、1206'、p型ウェル202に至るコンタクト孔を形成し、次に、金属膜を堆積し、これを加工して金属配線とし、不揮発性半導体記憶装置のメモリセルを完成する。

#### 【0120】

本メモリセルにおいても、実施の形態 1 及び 2 と同様、電荷を蓄積するシリコンナイトライドを連続膜とした場合に比べ電荷保持特性が向上した。

#### 【0 1 2 1】

また、補助ゲート間のスペースを狭め、シリコンナイトライドドットにより形成されるチャンネルの長さを縮小しても、長時間放置後、図 5 8 ～図 6 1 の A、B 部に蓄積された電荷の状態を判別すること、すなわち 2 ビット分のデータの記憶が可能であった。

#### 【0 1 2 2】

このように本実施の形態によれば、不揮発性半導体記憶装置の信頼度が向上できるという効果がある。またメモリセル面積の微細化が図れるという効果がある。

#### 【0 1 2 3】

(実施の形態 5)

本実施の形態では、図 7 3 ～図 8 4 を用いて、本発明をスプリットゲート型のメモリセルに適用した場合の結果を説明する。

#### 【0 1 2 4】

図 8 4 に示すように、本メモリセルは、シリコン基板 3 0 1 に形成された p 型 (第 1 導電型) ウェル 3 0 2 中の第 2 導電型ソース・ドレイン拡散層 3 1 0、3 1 1、電荷を蓄積するシリコンナイトライドドット 3 0 5、第 1 のゲートであるメモリゲート 3 0 7 a、第 2 のゲートである制御ゲート 3 0 9 a により構成される。

#### 【0 1 2 5】

シリコンナイトライドドット 3 0 5 と p 型ウェル 3 0 2 は第 1 の絶縁膜であるシリコン酸化膜 3 0 3 に、シリコンナイトライドドット 3 0 5 とメモリゲート 3 0 7 a は第 2 の絶縁膜であるシリコン酸化膜 3 0 6 によりそれぞれ分離されている。

#### 【0 1 2 6】

制御ゲート 3 0 9 a の一部はシリコン基板上のチャンネル部分に、また残りの部分はメモリゲート 3 0 7 a に乗り上げる形でオーバーラップしている。ソース 3

1 1 は制御ゲート 3 0 9 a と、またドレイン 3 1 0 はシリコンナイトライドドット 3 0 5 とオーバーラップしている。

#### 【0 1 2 7】

このように本メモリセルは制御ゲート 3 0 9 a によって制御されるトランジスタとシリコンナイトライドドット 3 0 5 により制御されるトランジスタが直列に接続された、いわゆるスプリットゲート型のメモリセルである。

#### 【0 1 2 8】

書込みの際は、制御ゲート 3 0 9 a に約 2 V、メモリゲートに約 8 V、ドレイン 3 1 0 に 6 V を印加し、p 型ウェル 3 0 2 及びソース 3 1 1 は 0 V に保持する。これによりソース側のシリコンナイトライドドット 3 0 5 下のチャネルでホットエレクトロンが発生し、ナイトライドドットに電子が注入、蓄積される。

#### 【0 1 2 9】

消去の際は、例えば、ドレイン 3 1 0 に正の電圧を、メモリゲート 3 0 7 a に負の電圧を印加し、p 型ウェル 3 0 2、ソース 3 1 1 は 0 V とし、ドレイン端部で発生したホールをシリコンナイトライドドット 3 0 5 に注入する。

#### 【0 1 3 0】

本実施の形態においても ONO 膜を用いた場合と異なり、電荷の蓄積部となるシリコンナイトライドを連続膜からドット状としたことで、チャネル方向の電荷移動により生じる電荷保持不良を抑制することが可能となる。

#### 【0 1 3 1】

特に、スプリット型のゲートを有するメモリセルにおいては、1 ビット書き込みであっても、局所的に電子を蓄積し、かかる箇所に蓄積電子が存在することを前提に読み出し動作が行われるため、蓄積電子の移動を効果的に防止する必要がある。

#### 【0 1 3 2】

次に、図 7 3 ～図 8 4 を用いて本メモリセルの製造方法を示す。

#### 【0 1 3 3】

まず、シリコン基板 3 0 1 上に p 型ウェル 3 0 2 を形成する(図 7 3)。次に公知の熱酸化法によりシリコンナイトライドドットとウェルを分離するシリコン酸

化膜 303 を形成する(図 74)。

#### 【0134】

次に、減圧化学気相成長法(LPCVD)法により、まずシリコンナノドット 304 を形成し(図 75)、これをプラズマ窒化してシリコンナイトライドドット 305 とする(図 76)。その後、シリコンナイトライドドットと制御ゲートを分離するためのシリコン酸化膜 306 を例えば CVD 法で形成する(図 77)。

#### 【0135】

続いてメモリゲートとなるリン等の不純物をドーピングしたポリシリコン膜 307 を堆積する(図 78)。次に公知のリソグラフィとドライエッチング技術により上記ポリシリコン膜 307 をパターニングする。これにより、ポリシリコン膜は 307a となる(図 79)。

#### 【0136】

次に公知の熱酸化法により、シリコン基板上にメモリゲートと基板を分離する熱酸化膜 308 を形成する。この際、メモリゲート 307a の側壁及び上部には基板上よりも厚い熱酸化膜 308a が形成され、メモリゲートと制御ゲートの分離が可能となる(図 80)。

#### 【0137】

続いて制御ゲートとなるリン等の不純物をドーピングしたポリシリコン膜とタングステンシリサイド膜の積層膜、いわゆるポリサイド膜 309 を堆積する(図 81)。次に公知のリソグラフィとドライエッチング技術により上記ポリサイド膜 309 をパターニングする。これにより、ポリサイド膜 309 は 309a となる(図 82)。

#### 【0138】

その後、イオン打込み法によりメモリセルのドレイン領域 310 及びソース領域 311 を形成する(図 83)。その後、層間絶縁膜 312 を形成した後、制御ゲート 309a、メモリゲート 307a、ソース領域 311、ドレイン領域 310、p 型ウェル 302 に至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングしてプラグ P1 及び配線 313 とし、メモリセルを完成する(図 84)。

## 【0 1 3 9】

本メモリセルにおいても、実施の形態 1 及び 2 と同様、電荷を蓄積するシリコンナイトライドを連続膜とした場合に比べ電荷保持特性が向上した。

## 【0 1 4 0】

本実施の形態によれば、不揮発性半導体記憶装置の信頼度が向上できるという効果がある。

## 【0 1 4 1】

なお、上記した実施の形態 1 ～ 5 において、シリコンナイトライドドットに蓄積される電子の量を例えば 4 状態とすることにより、いわゆる多値記憶を行うことも可能である。この場合、実施の形態 1、3 及び 4 においては、2 箇所の記憶場所と多値記憶の組合せにより、1 つのメモリセルに 4 ビット分のデータを記憶することが可能となる。

## 【0 1 4 2】

また、上記した実施の形態 1 ～ 5 においては、2 層の絶縁膜に単層のシリコンナイトライドドットを形成したが、上層の絶縁膜上にさらにシリコンナイトライドドットを形成し、その上部に絶縁膜を堆積することを繰り返すことによりドット膜を積層してもよい。絶縁膜の形成とドット膜の形成を繰り返すことにより、ドット（電荷蓄積部）が多くなり、電荷の蓄積容量が大きくなる。

## 【0 1 4 3】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【0 1 4 4】

例えば、本発明は、不揮発性半導体記憶素子を有するメモリセルアレイ部を備えたワンチップマイクロコンピュータ（半導体装置）に適用してもよい。

## 【0 1 4 5】

## 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

**【 0 1 4 6 】**

不揮発性半導体記憶装置の信頼度を向上することが可能である。

**【 0 1 4 7 】**

不揮発性半導体記憶装置の微細化が図れる。

**【図面の簡単な説明】****【図 1】**

本発明の実施の形態 1 である不揮発性半導体記憶装置のメモリセルの要部平面図である。

**【図 2】**

本発明の実施の形態 1 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

**【図 3】**

本発明の実施の形態 1 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

**【図 4】**

本発明の実施の形態 1 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

**【図 5】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 6】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 7】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 8】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 9】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 0】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 1】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 2】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 3】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 4】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 5】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 6】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 1 7】**

本発明の実施の形態 1 である不揮発性半導体記憶装置の電荷保持特性を示す図である。

**【図 1 8】**

本発明の実施の形態 2 である不揮発性半導体記憶装置のメモリセルの要部平面

図である。

【図 1 9】

本発明の実施の形態 2 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 2 0】

本発明の実施の形態 2 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 2 1】

本発明の実施の形態 2 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 2 2】

本発明の実施の形態 2 である不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 2 3】

本発明の実施の形態 2 である不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 2 4】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 2 5】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 2 6】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 2 7】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 2 8】



本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 2 9】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 3 0】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 3 1】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 3 2】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 3 3】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 3 4】

本発明の実施の形態 2 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 3 5】

本発明の実施の形態 3 である不揮発性半導体記憶装置のメモリセルの要部平面図である。

【図 3 6】

本発明の実施の形態 3 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 3 7】

本発明の実施の形態 3 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

**【図 3 8】**

本発明の実施の形態 3 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

**【図 3 9】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 4 0】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 4 1】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 4 2】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の動作を説明するための断面図である。

**【図 4 3】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 4 4】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 4 5】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 4 6】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 4 7】**

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するた

めの基板の要部断面図である。

【図 4 8】

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 4 9】

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 5 0】

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 5 1】

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 5 2】

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 5 3】

本発明の実施の形態 3 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 5 4】

本発明の実施の形態 4 である不揮発性半導体記憶装置のメモリセルの要部平面図である。

【図 5 5】

本発明の実施の形態 4 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 5 6】

本発明の実施の形態 4 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 5 7】

本発明の実施の形態 4 である不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 5 8】

本発明の実施の形態 4 である不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 5 9】

本発明の実施の形態 4 である不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 6 0】

本発明の実施の形態 4 である不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 6 1】

本発明の実施の形態 4 である不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 6 2】

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 6 3】

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 6 4】

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 6 5】

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 6 6】

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 6 7】**

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 6 8】**

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 6 9】**

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 0】**

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 1】**

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 2】**

本発明の実施の形態 4 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 3】**

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 4】**

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 5】**

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

**【図 7 6】**

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するた

めの基板の要部断面図である。

【図 7 7】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 7 8】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 7 9】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 8 0】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 8 1】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 8 2】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 8 3】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 8 4】

本発明の実施の形態 5 である不揮発性半導体記憶装置の製造方法を説明するための基板の要部断面図である。

【図 8 5】

本発明の実施の形態の効果を説明するための不揮発性半導体記憶装置のメモリセルの要部断面図である。

【図 8 6】

本発明の実施の形態の効果を説明するための不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 87】

本発明の実施の形態の効果を説明するための不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 88】

本発明の実施の形態の効果を説明するための不揮発性半導体記憶装置の動作を説明するための断面図である。

【図 89】

本発明の実施の形態の効果を説明するための不揮発性半導体記憶装置の動作を説明するための断面図である。

【符号の説明】

- 101 シリコン基板
- 102 p型ウェル
- 103、103' ソース・ドレイン拡散層
- 104 分離領域
- 105 シリコン酸化膜
- 106 シリコンドット
- 107 シリコンナイトライドドット
- 108 シリコン酸化膜
- 109 制御ゲート（ワード線、ポリサイド膜）
- 110 シリコン酸化膜
- 111 シリコンナイトライド膜
- 201 シリコン基板
- 202 p型ウェル
- 203 ゲート酸化膜
- 204 ポリシリコン膜
- 204a、204a'、204a'' 補助ゲート
- 205、205a シリコン酸化膜

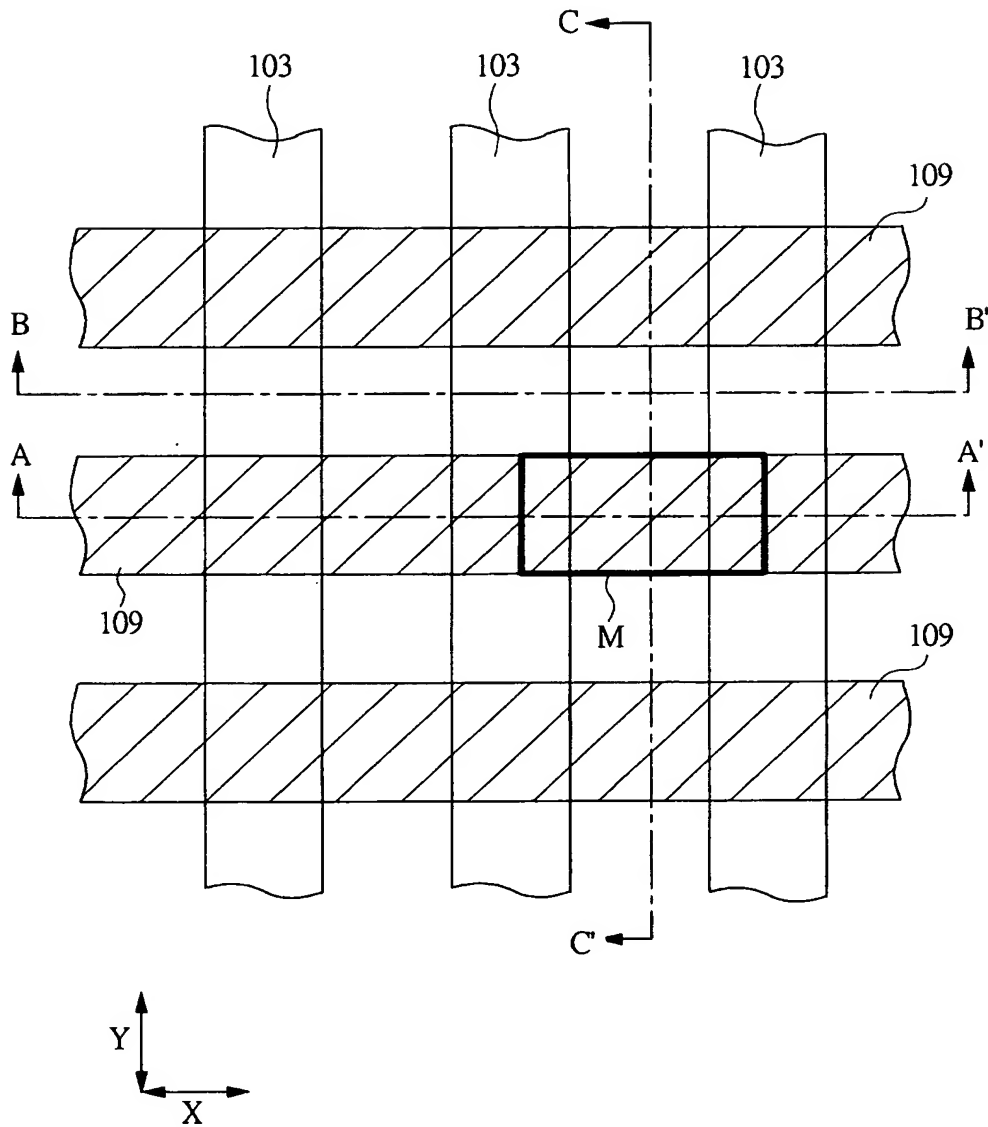
206、206' ソース・ドレイン拡散層  
1206、1206' ソース・ドレイン拡散層  
207 シリコン酸化膜  
207a サイドウォール  
208 シリコン酸化膜  
209 シリコンドット  
210 シリコンナイトライドドット  
211 シリコン酸化膜  
212 制御ゲート（ワード線、ポリサイド膜）  
213 シリコン酸化膜  
301 シリコン基板  
302 p型ウェル  
303 シリコン酸化膜  
304 シリコンナノドット  
305 シリコンナイトライドドット  
306 シリコン酸化膜  
307 ポリシリコン膜  
307a メモリゲート  
308、308a 熱酸化膜（シリコン酸化膜）  
309 ポリサイド膜  
309a 制御ゲート（ワード線）  
310、311 ソース・ドレイン拡散層  
312 層間絶縁膜  
313 配線  
A、B 電荷蓄積領域  
P1 プラグ  
V<sub>r</sub> 読み出し電圧



【書類名】 図面

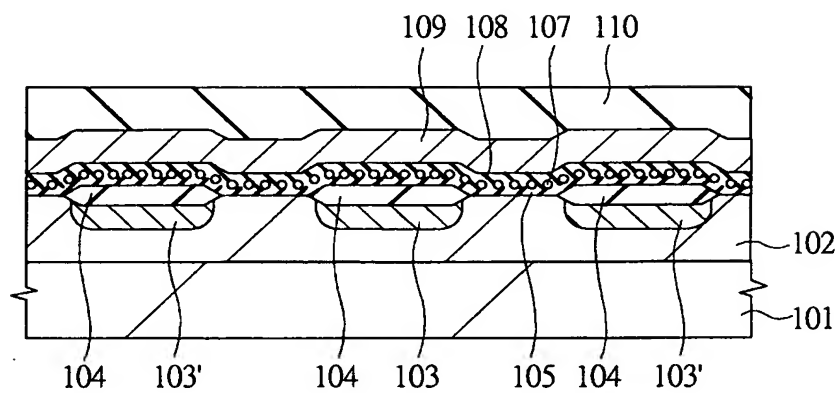
【図 1】

図 1



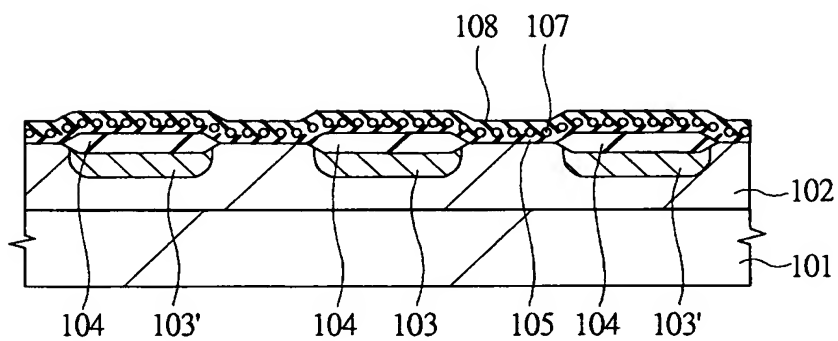
【図 2】

図 2



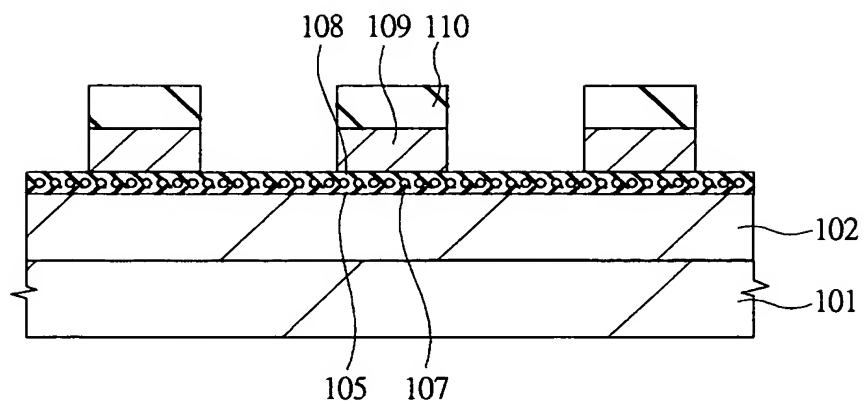
【図 3】

図 3



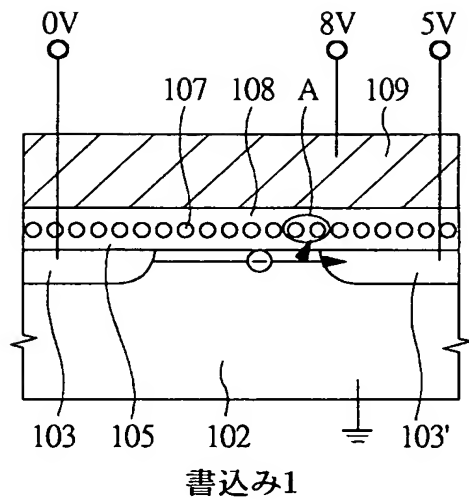
【図 4】

図 4



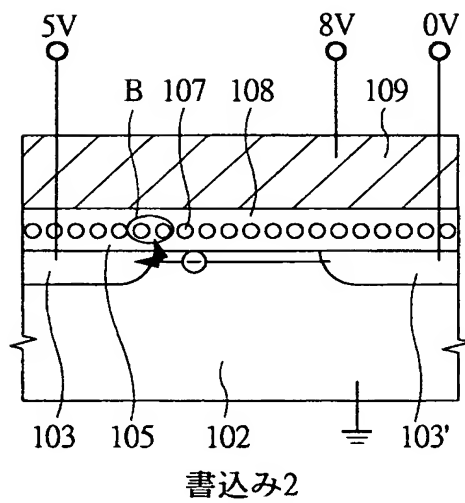
【図 5】

図 5



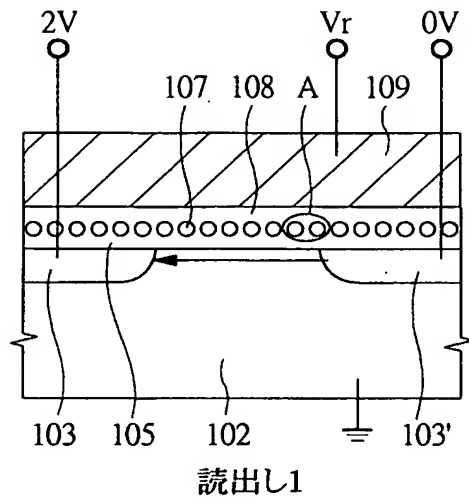
【図 6】

图 6



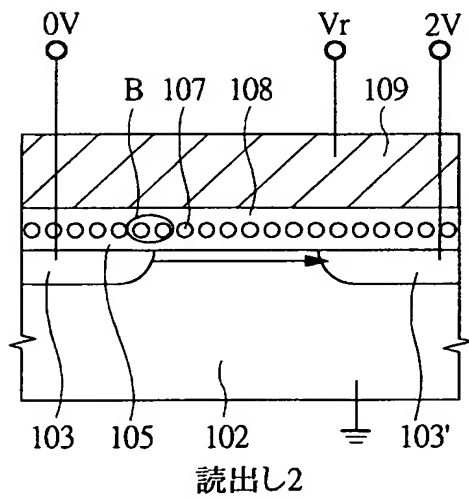
【図 7】

图 7



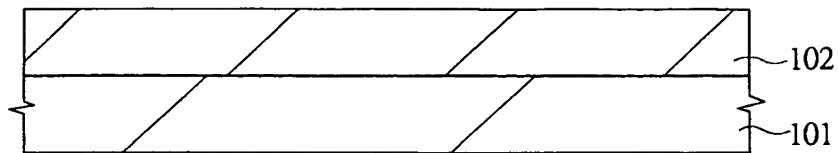
【図 8】

图 8



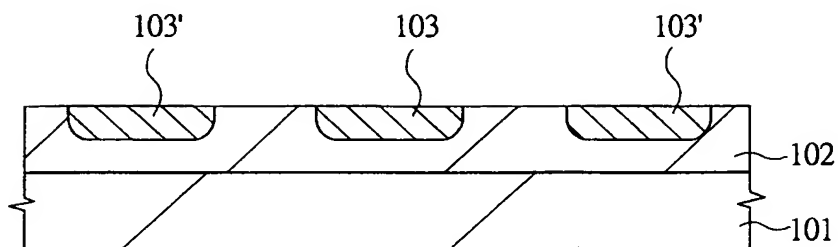
【図 9】

図 9



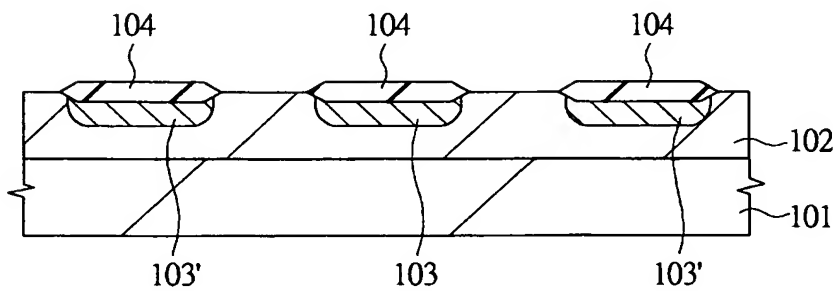
【図 10】

図 10



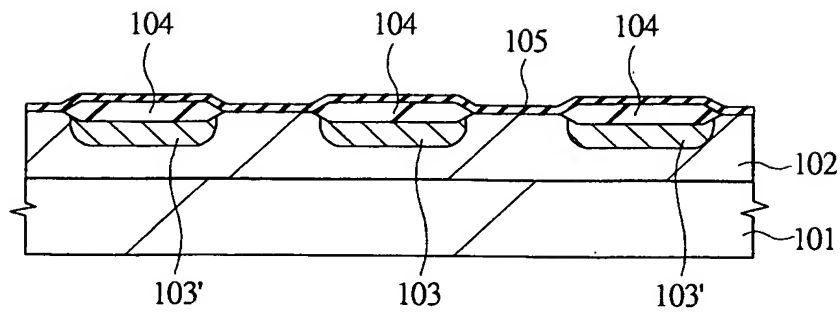
【図 11】

図 11



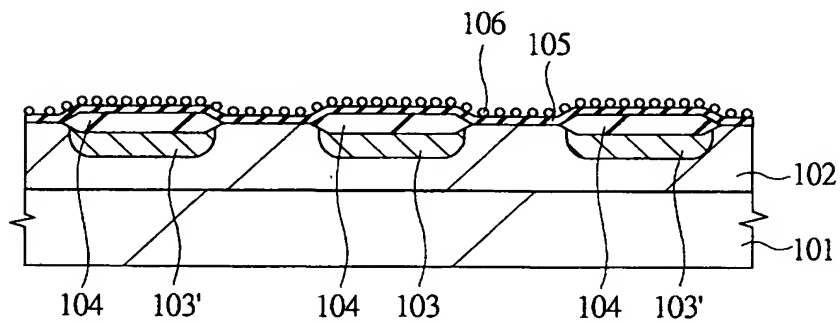
【図 12】

図 12



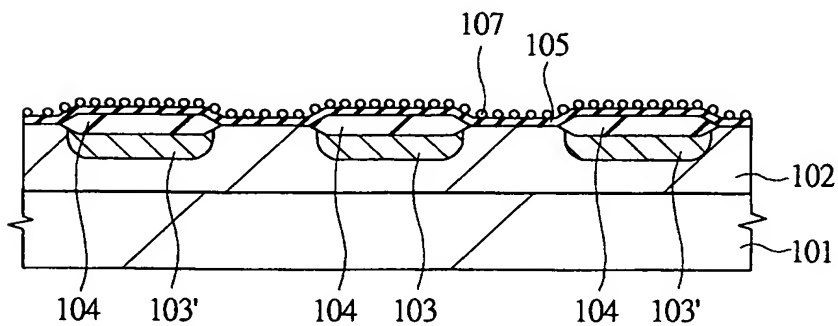
【図 13】

図 13



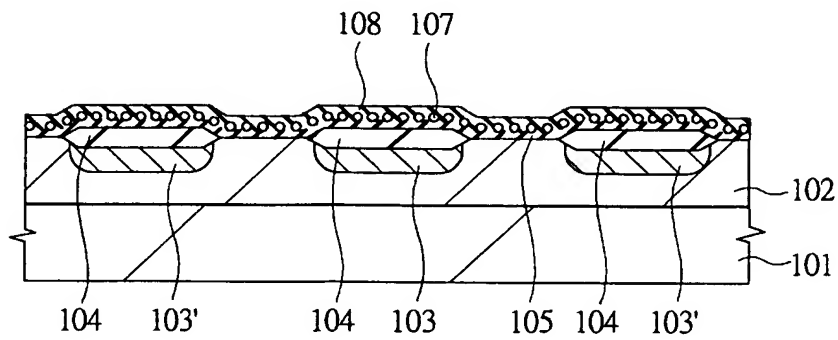
【図 14】

図 14



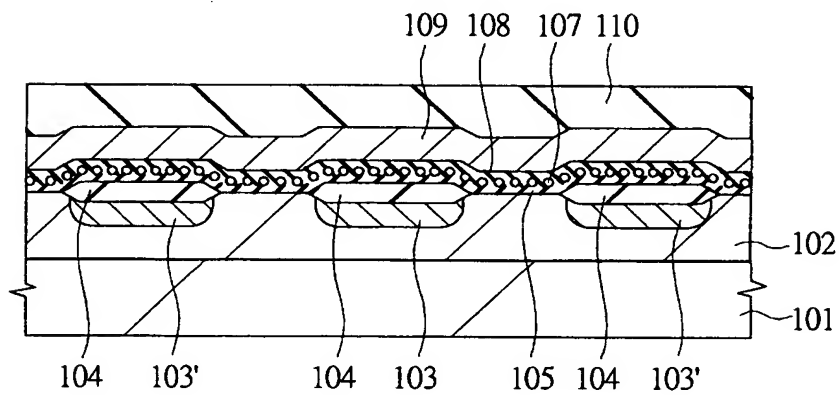
【図 15】

図 15



【図 16】

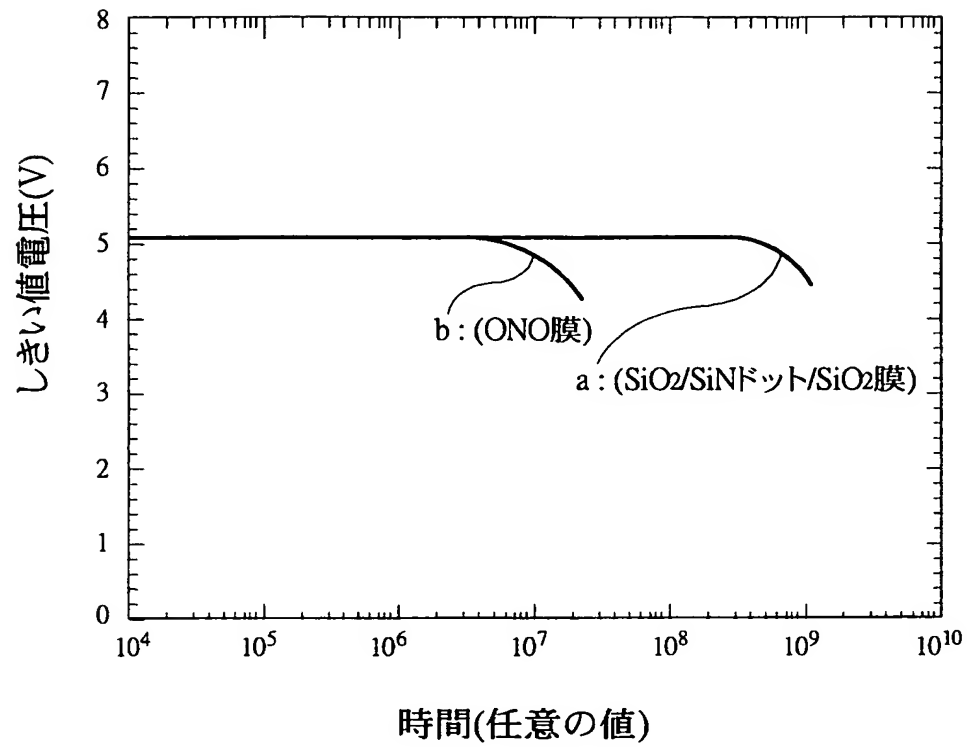
図 16





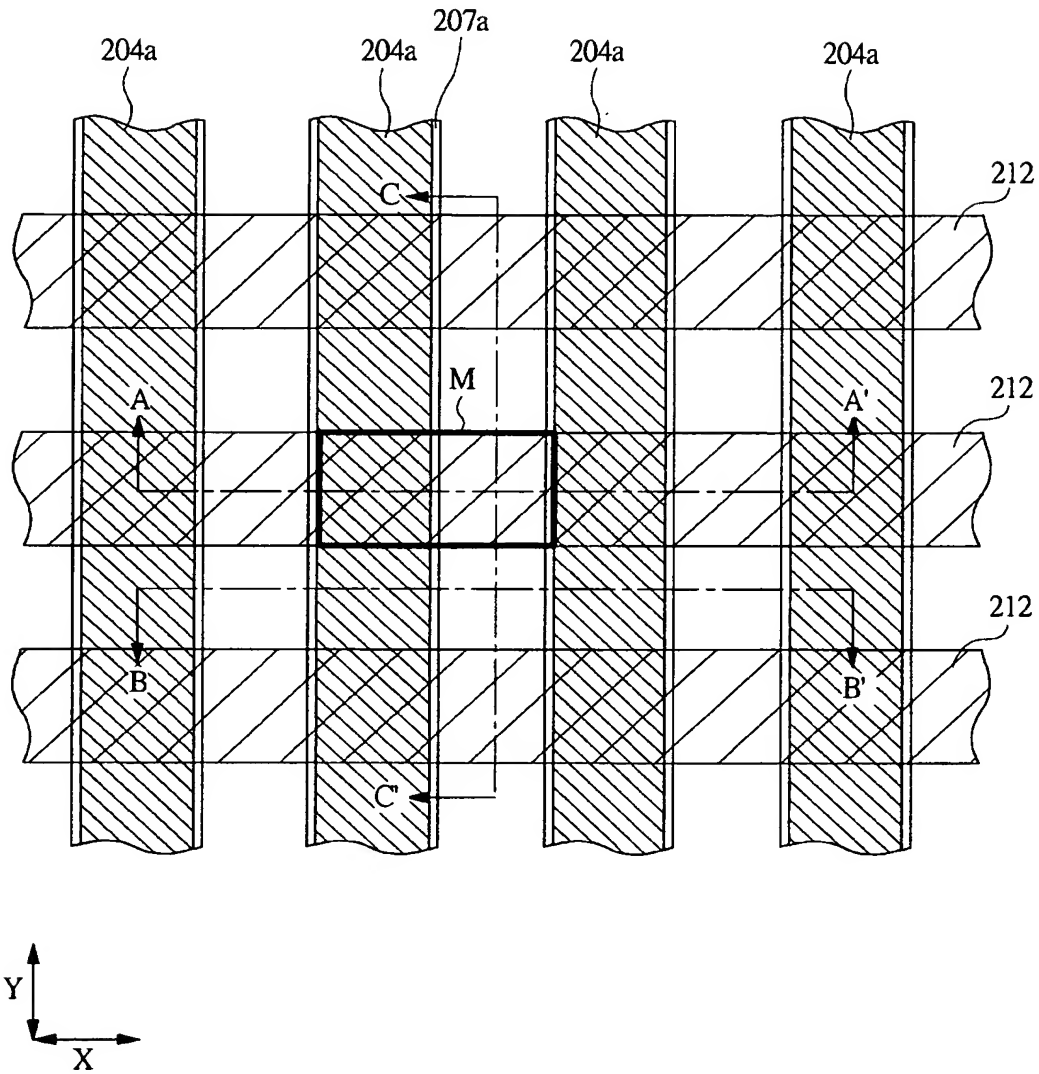
【図 17】

図 17



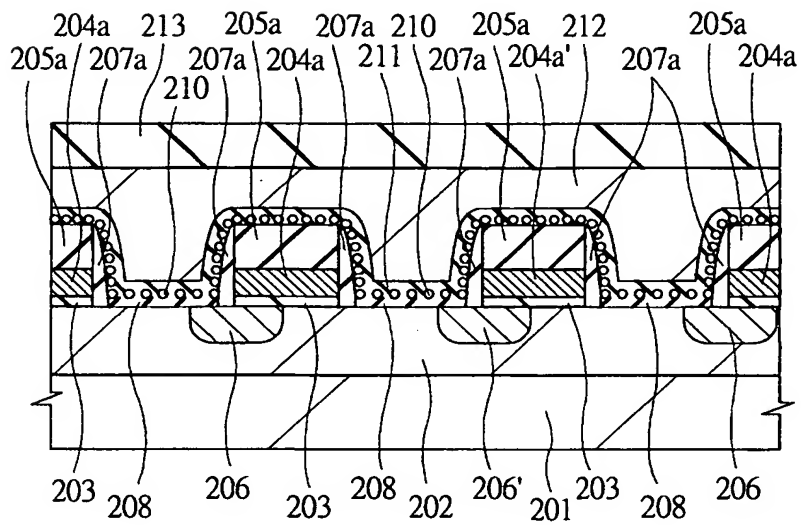
【図 18】

図 18



【図 1 9】

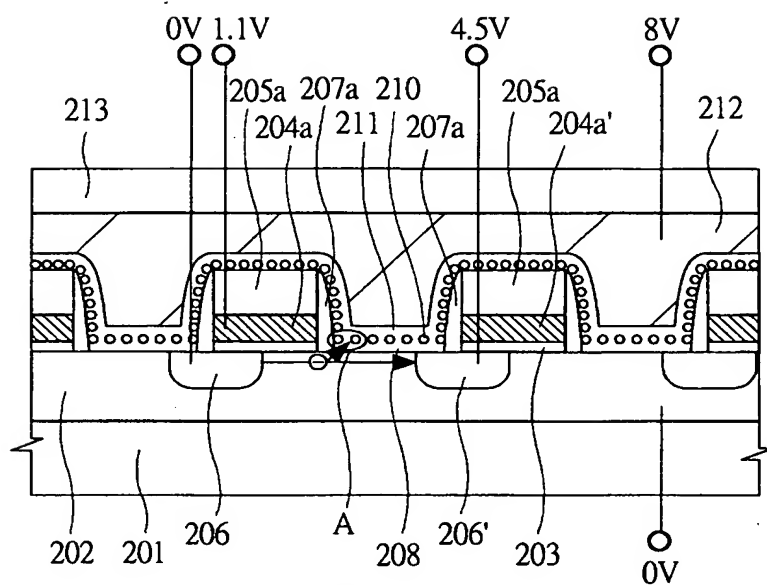
図 19





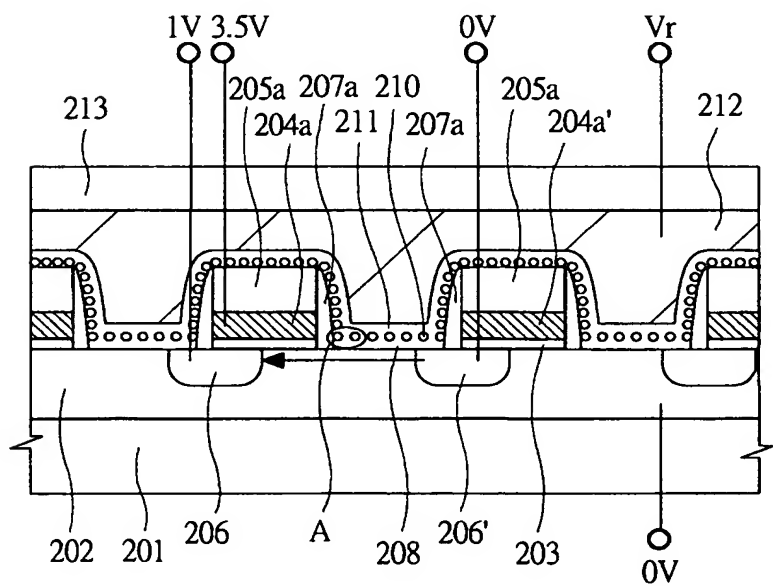
【図 2 2】

图 22



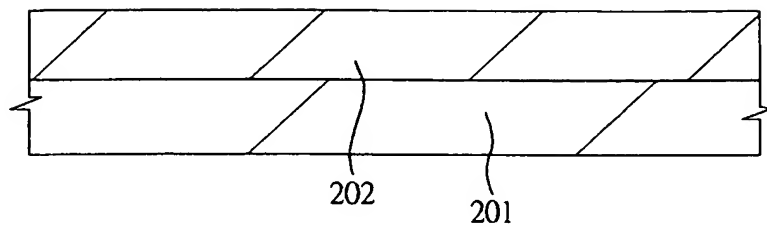
【図 23】

図 23



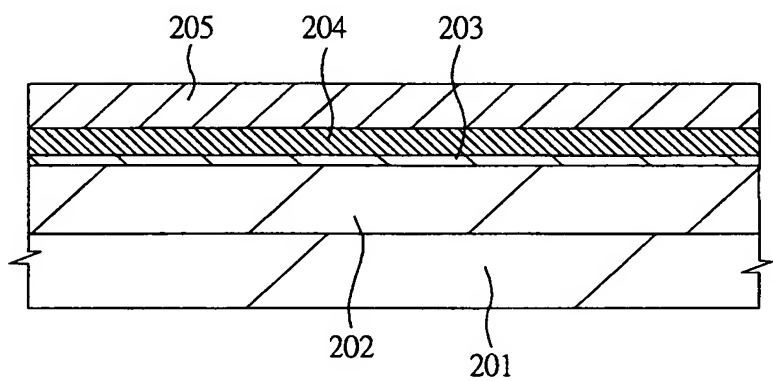
【図 2 4】

図 24



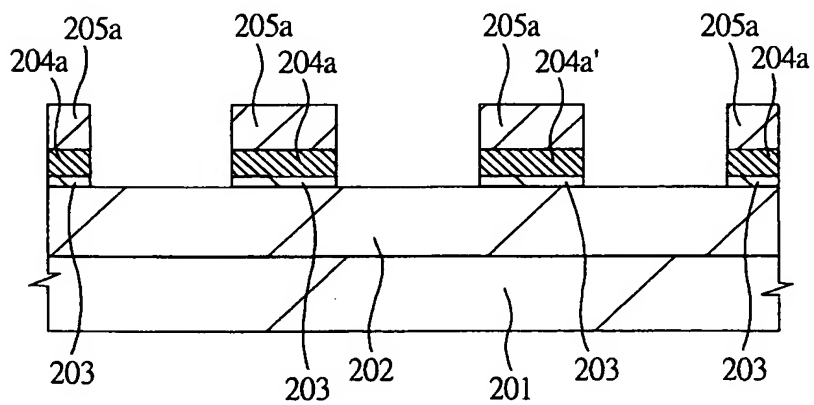
【図 2 5】

図 25



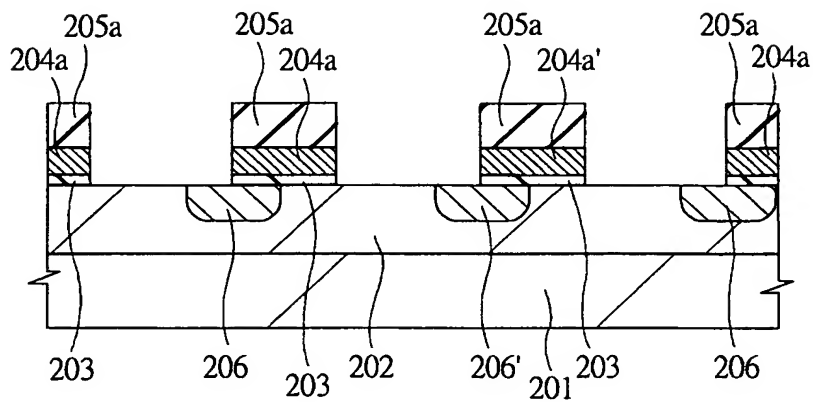
【図 2 6】

図 26



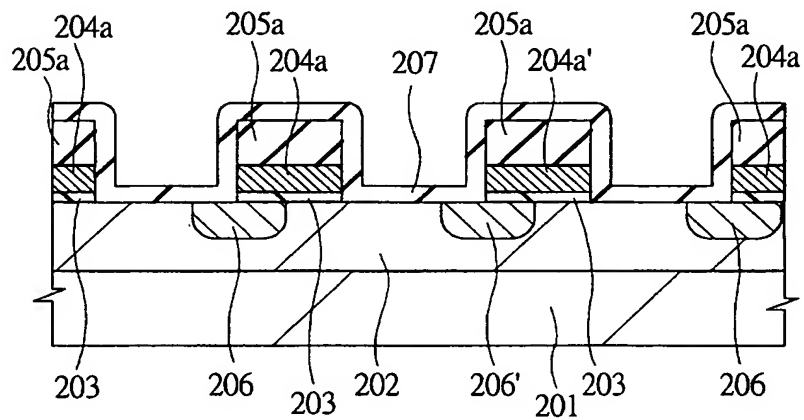
【図 2 7】

図 27



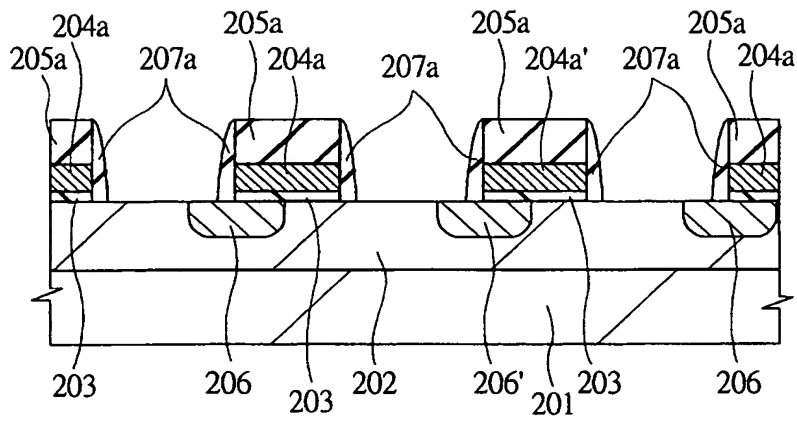
【図 2 8】

図 28



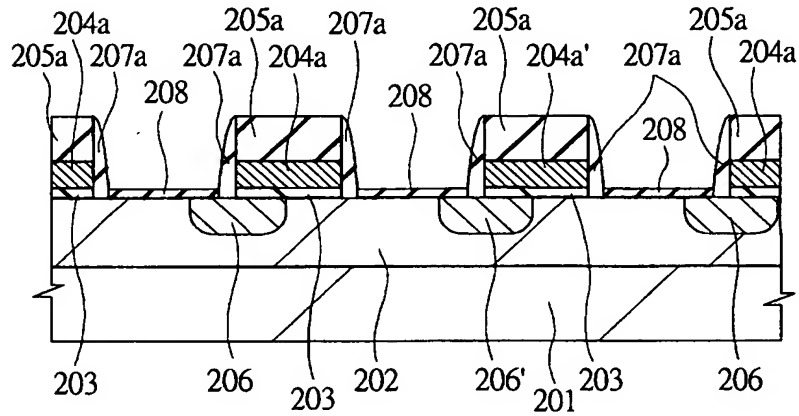
【図 29】

図 29



【図 30】

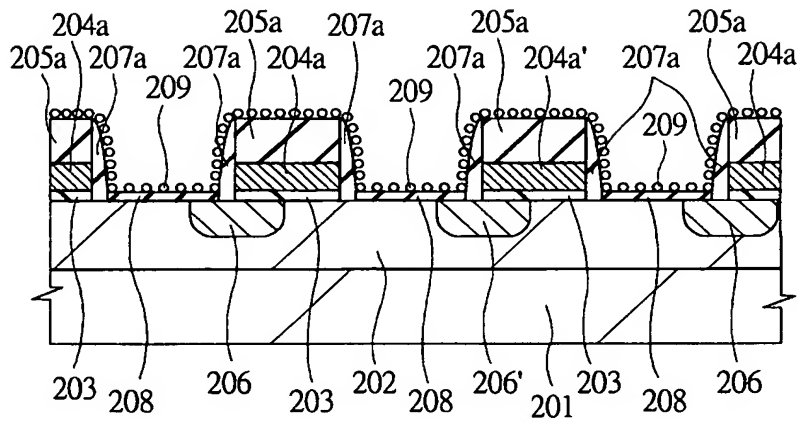
図 30





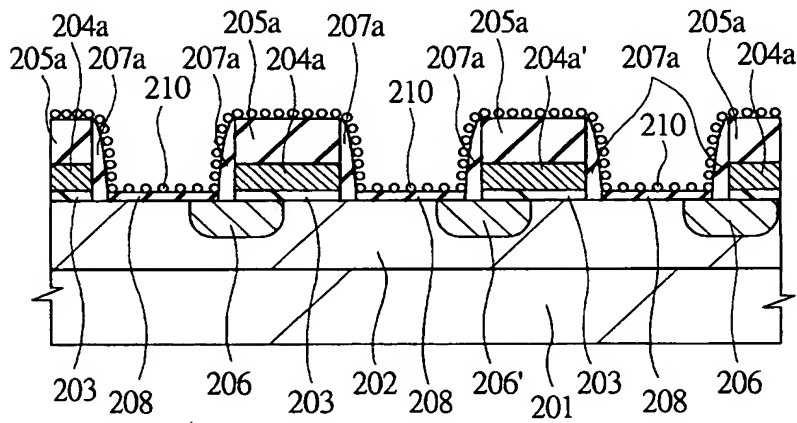
【図 3 1】

図 31



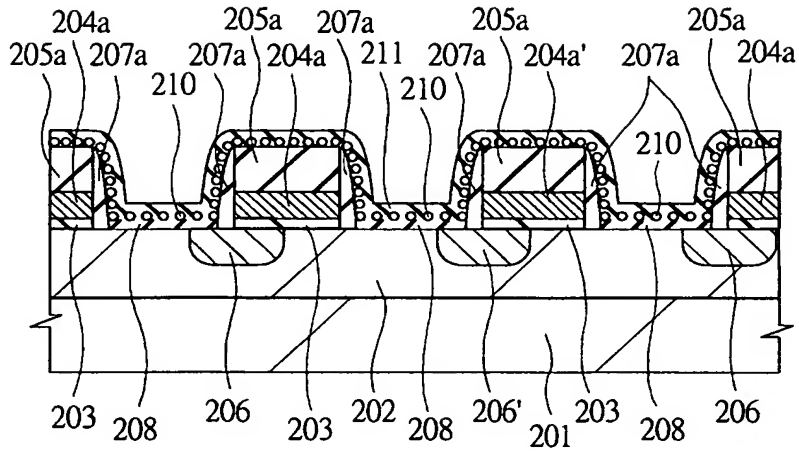
【図 3 2】

図 32



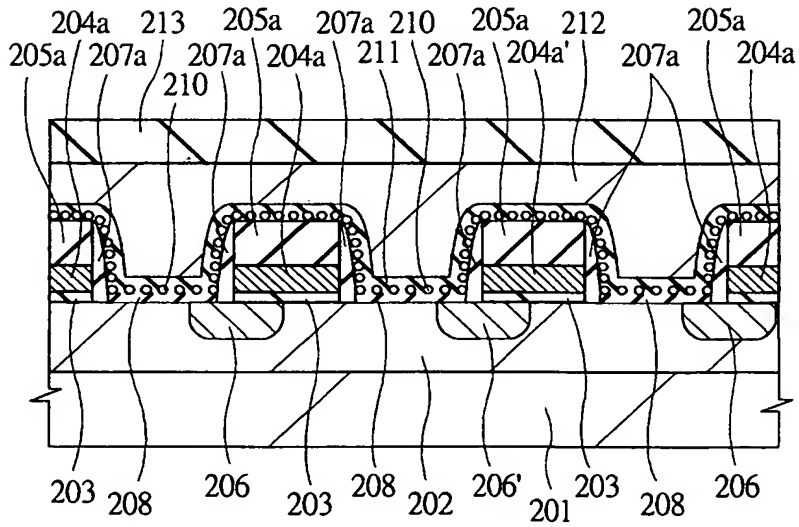
【図 3 3】

図 33



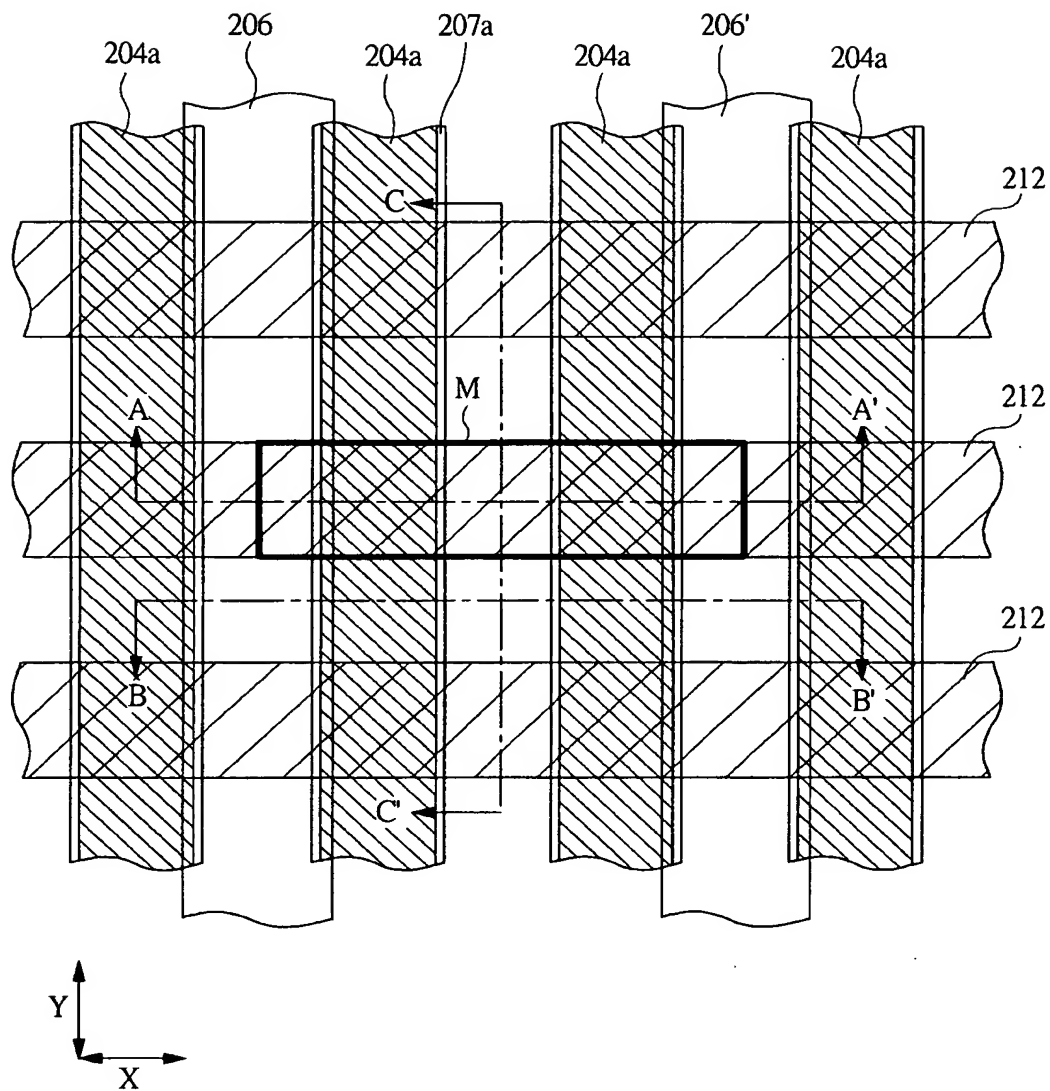
【図 3 4】

図 34



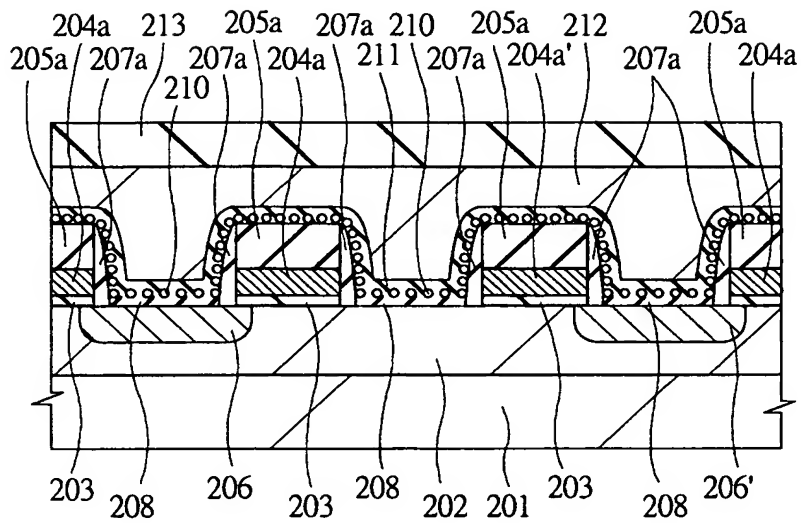
【図 35】

図 35



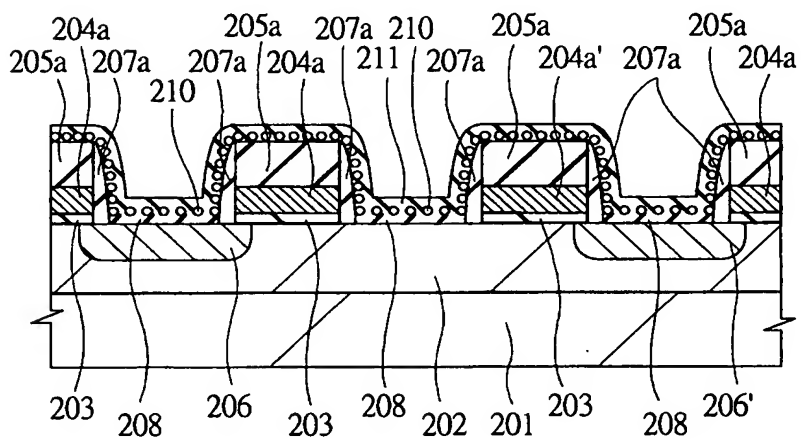
【図 3 6】

図 36



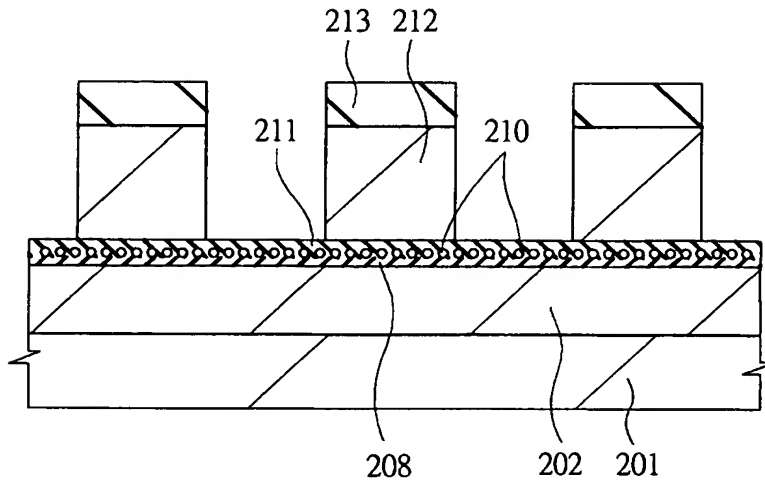
【図 3 7】

図 37



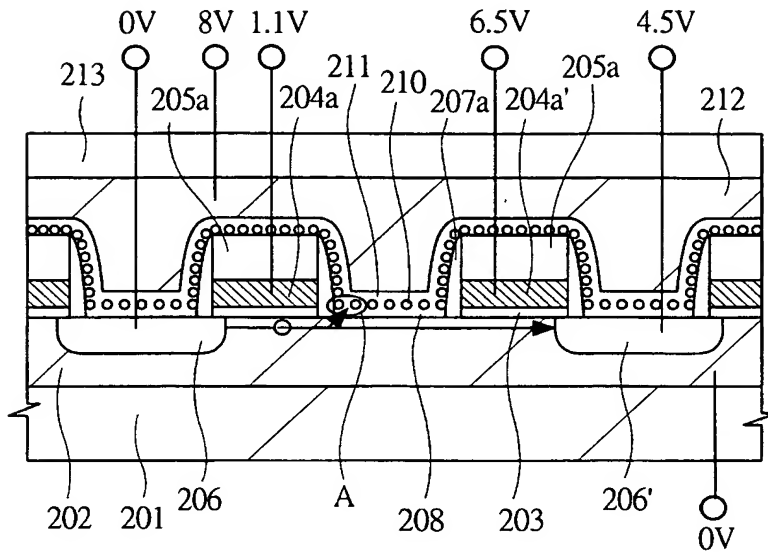
【図 38】

図 38



【図 39】

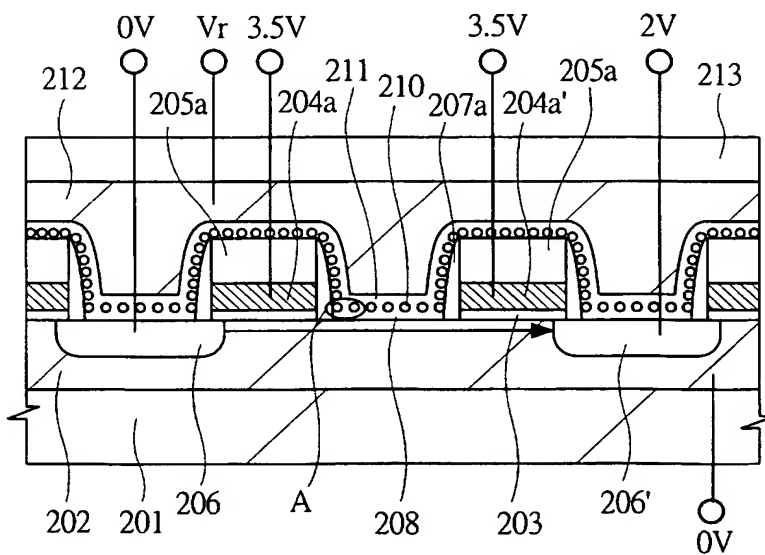
図 39



書込み1

【図 40】

図 40

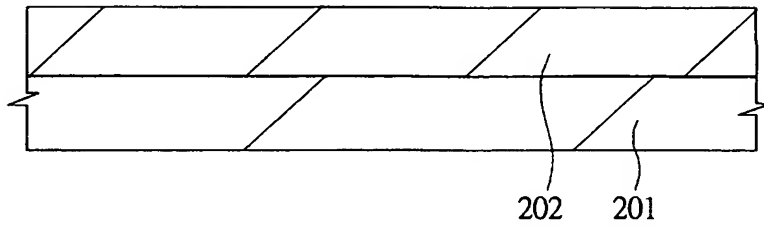


読出し1



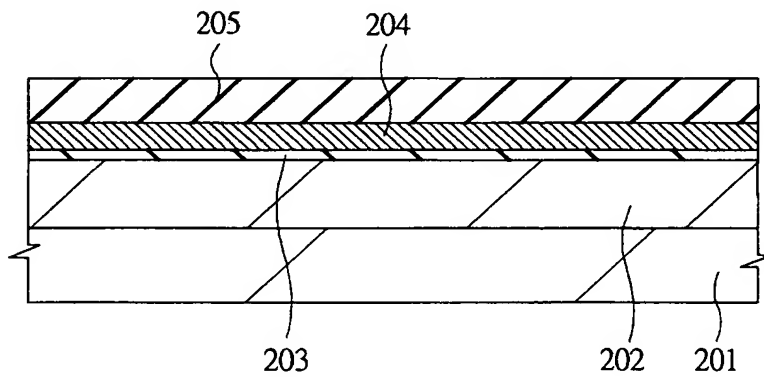
【図 43】

図 43



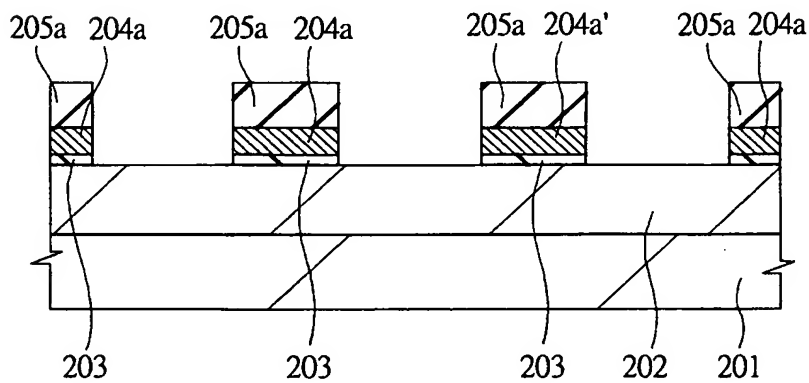
【図 44】

図 44



【図 45】

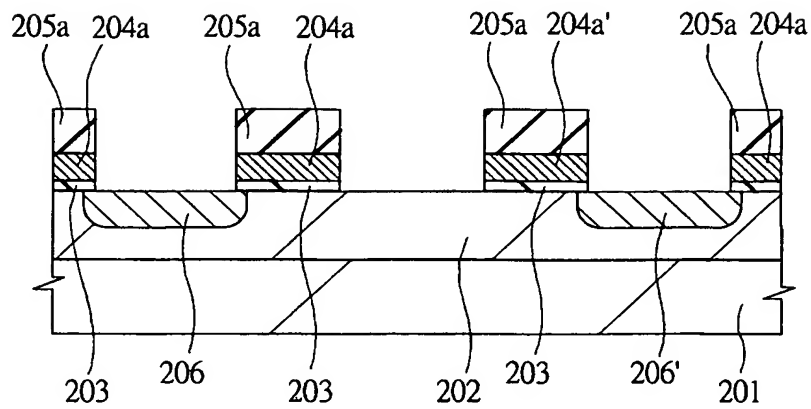
図 45





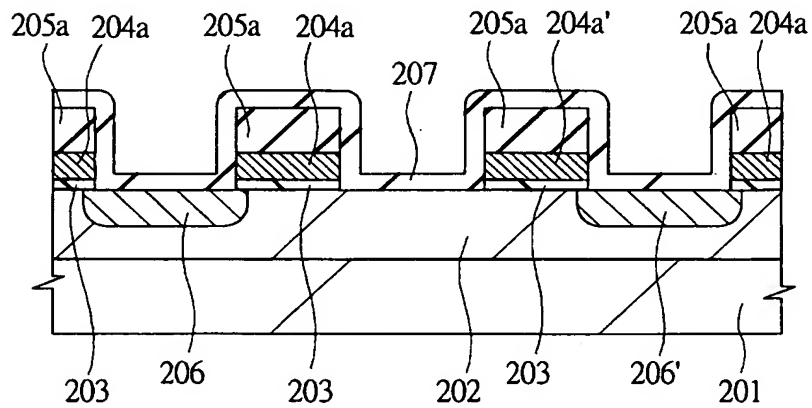
【図 4 6】

図 46



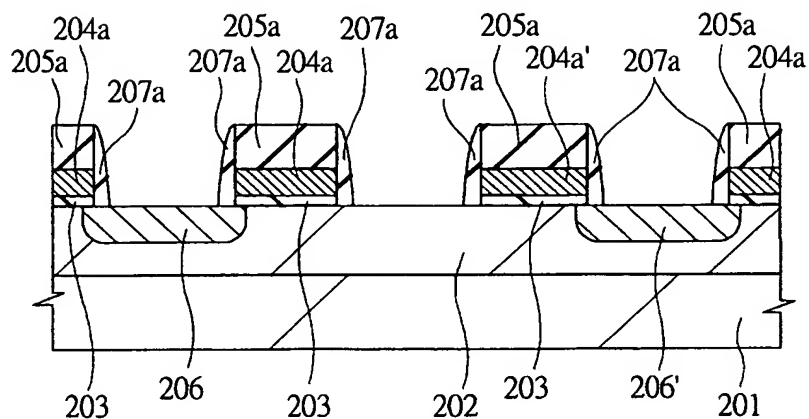
【図 4 7】

図 47



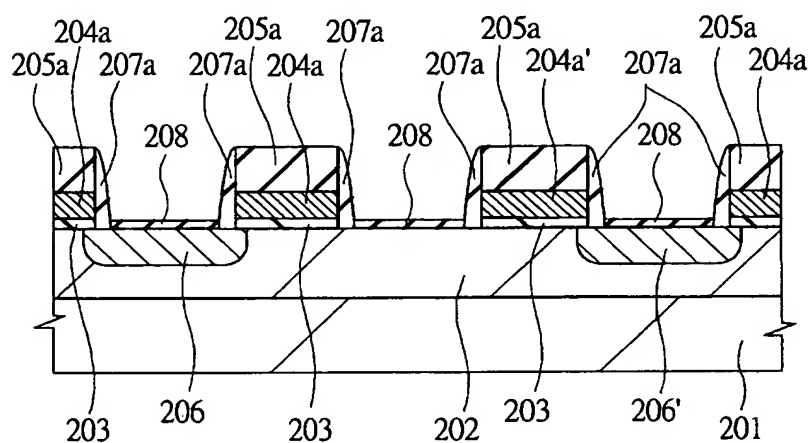
【図 4 8】

図 48



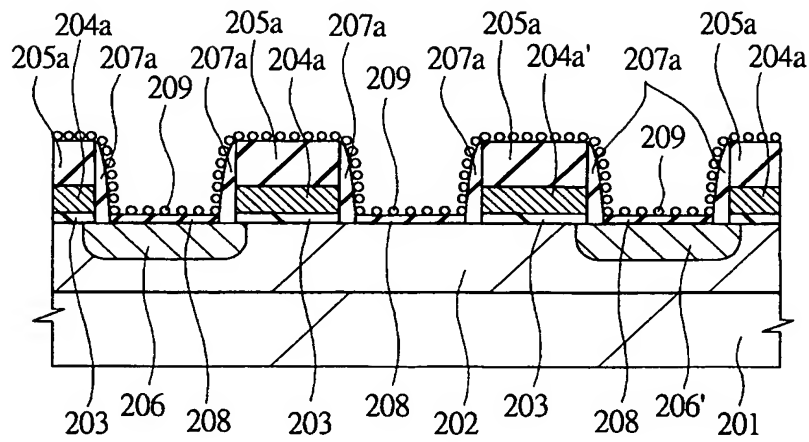
【図 4 9】

図 49



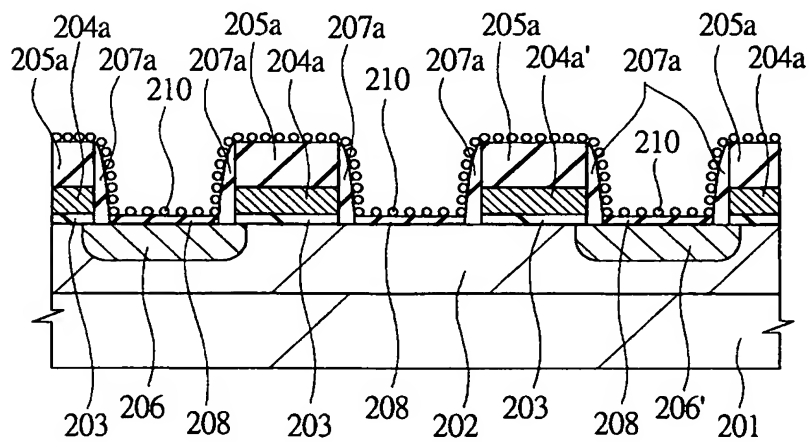
【図 5 0】

図 50



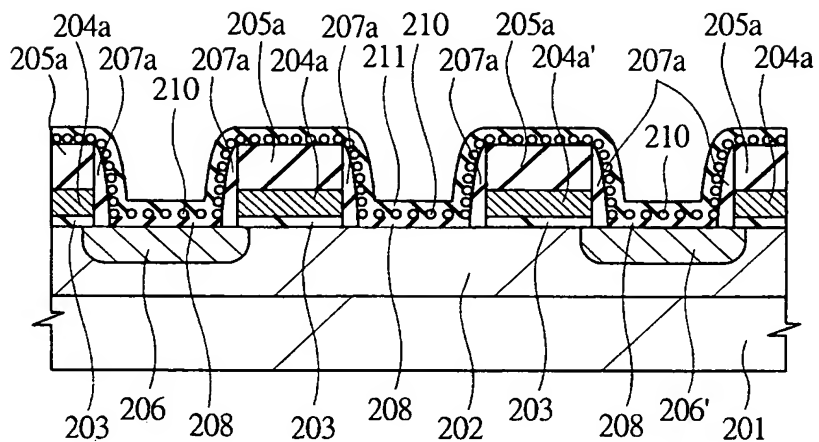
【図 5 1】

図 51



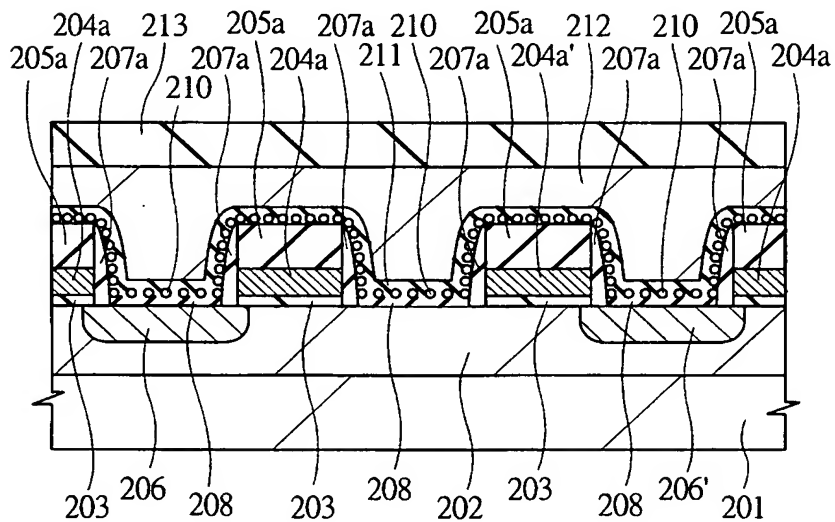
【図 5 2】

図 52



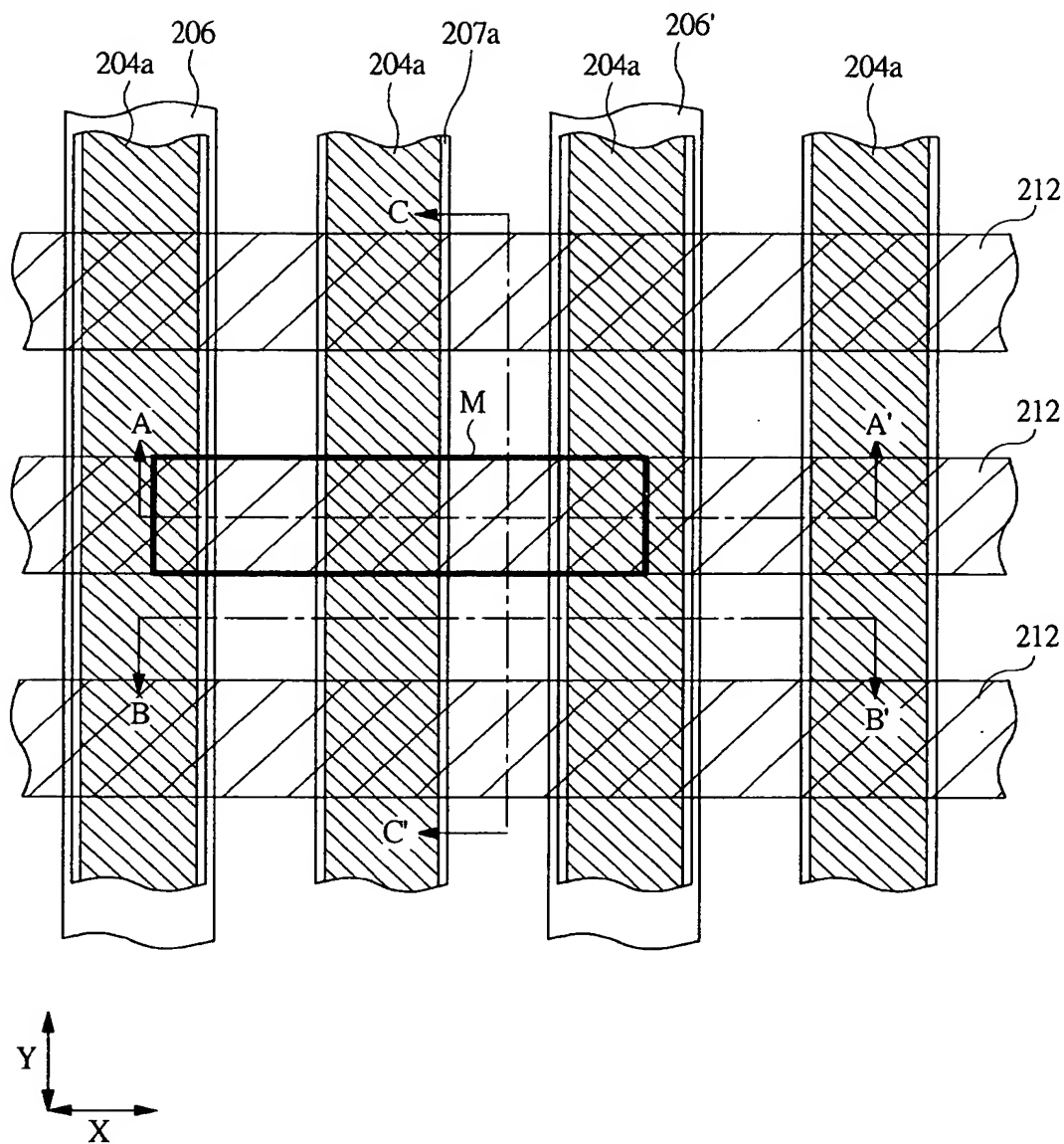
【図 5 3】

図 53



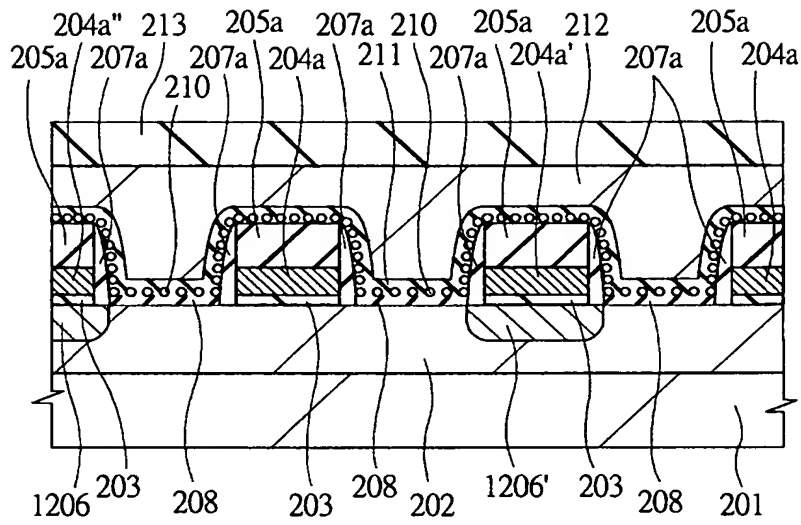
【図 54】

図 54



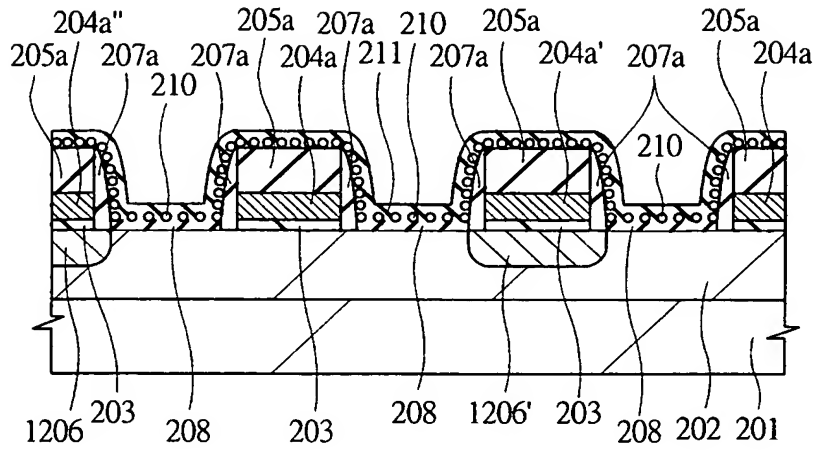
【図 5 5】

図 55



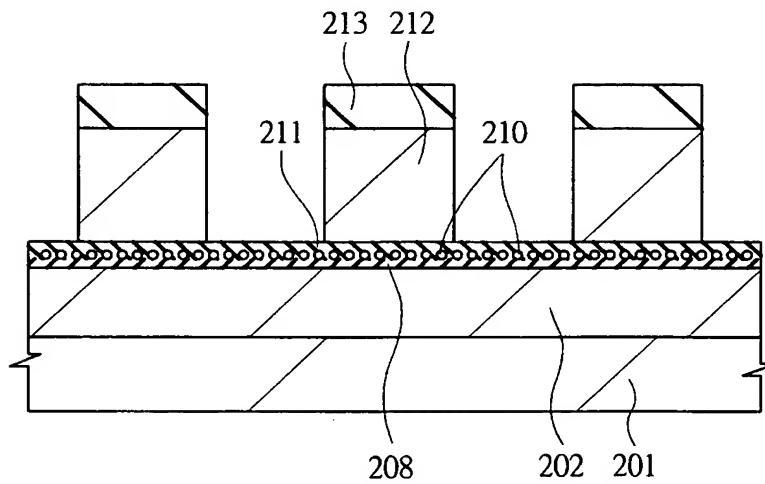
【図 56】

図 56



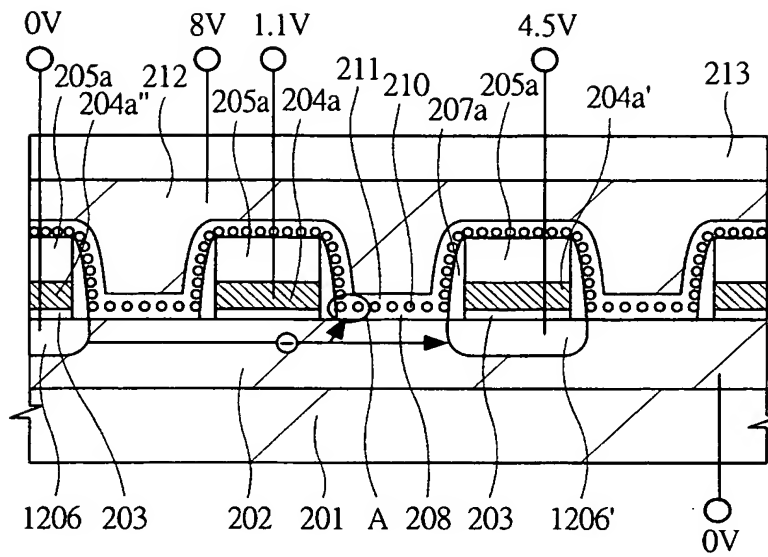
【図 57】

図 57



【図 58】

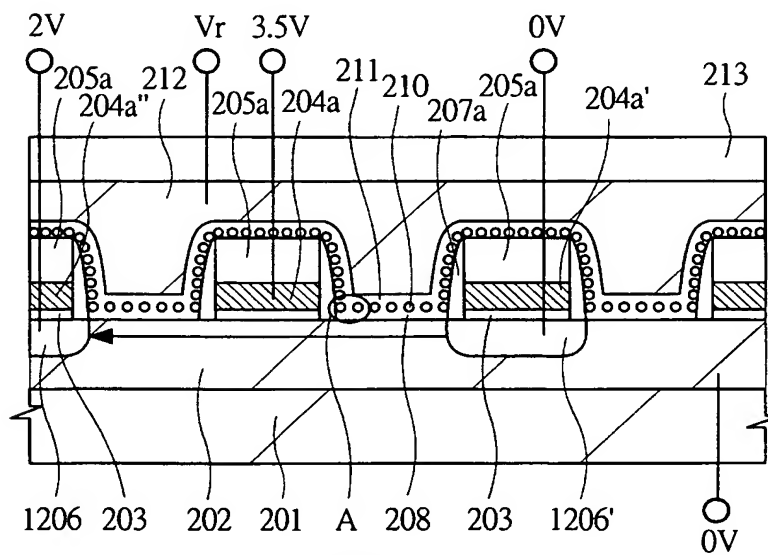
図 58



書込み1

【図 59】

図 59

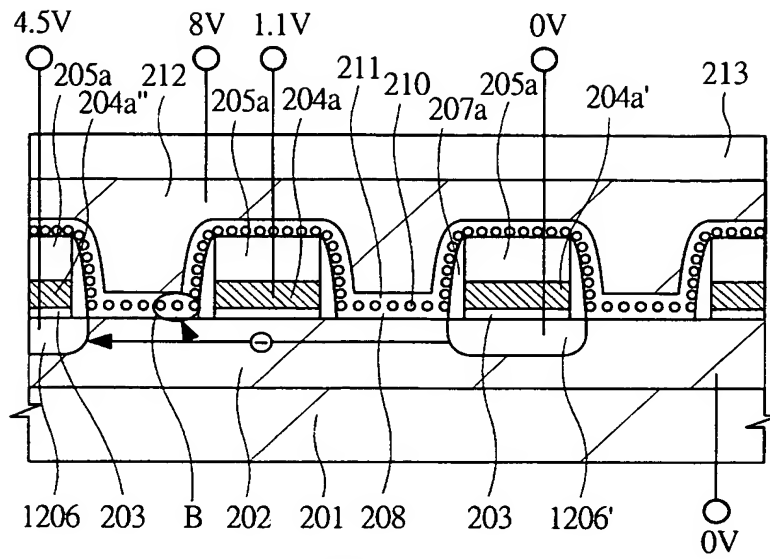


読出し1



【図 60】

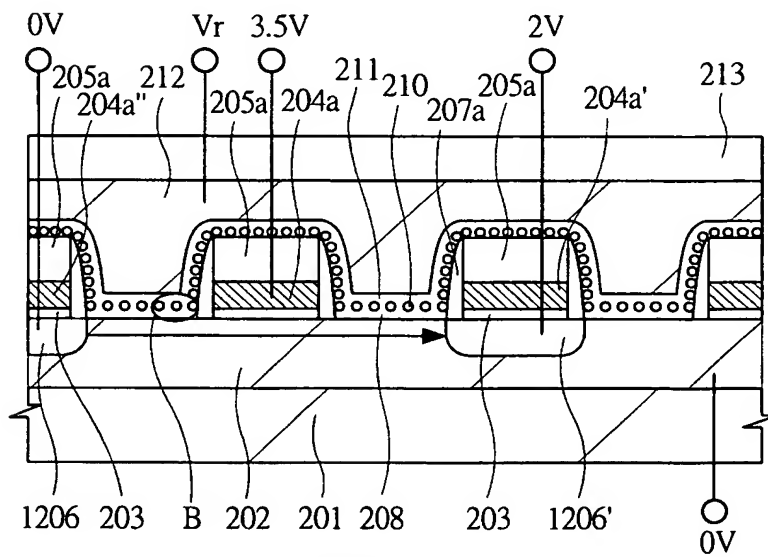
図 60



書込み2

【図 61】

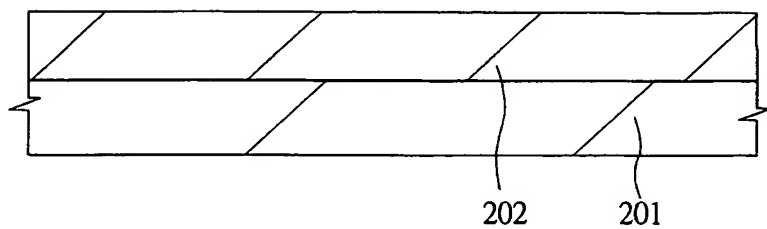
図 61



読出し2

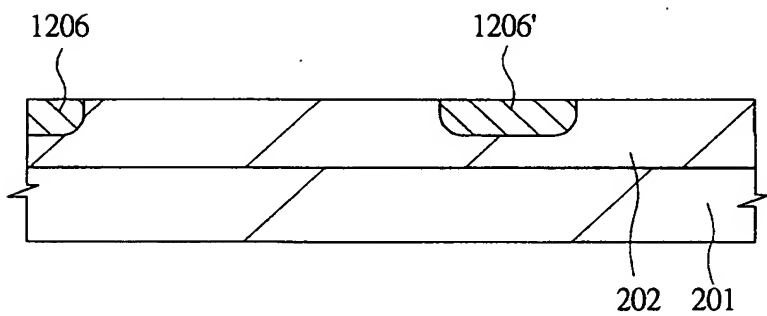
【図 6 2】

図 62



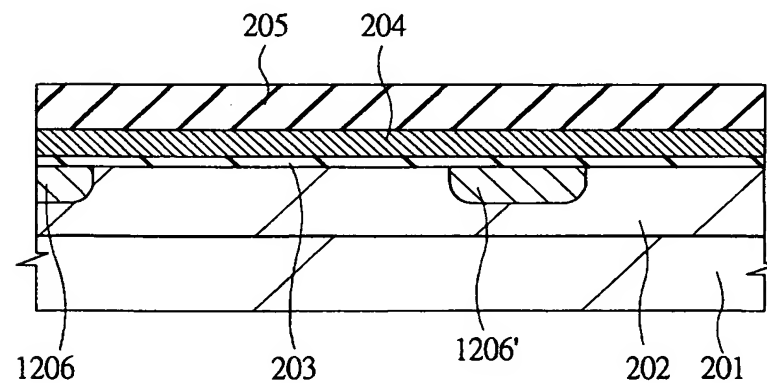
【図 6 3】

図 63



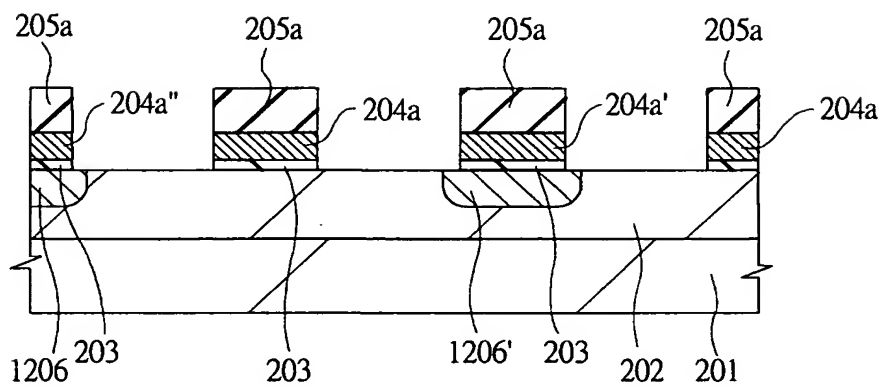
【図 6 4】

図 64



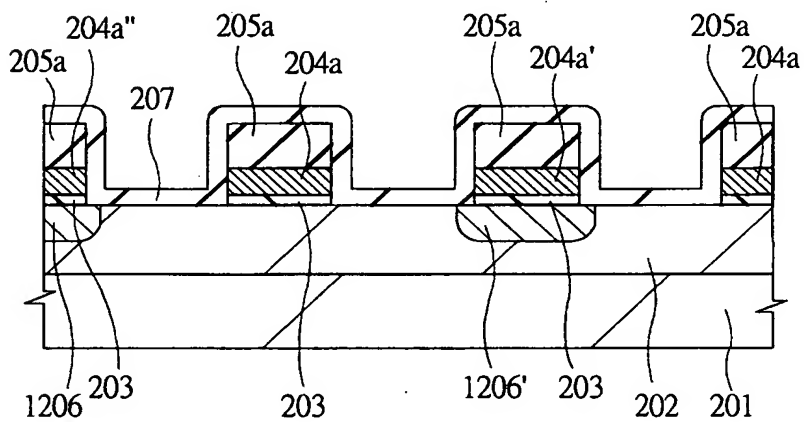
【図 6 5】

図 65



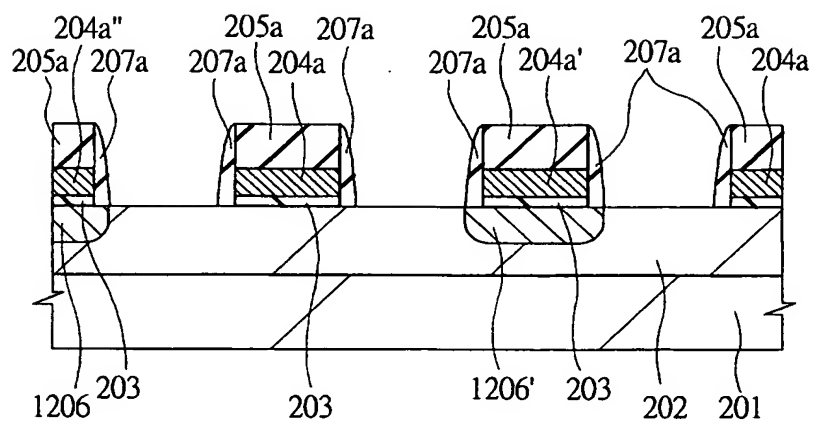
【図 6 6】

図 66



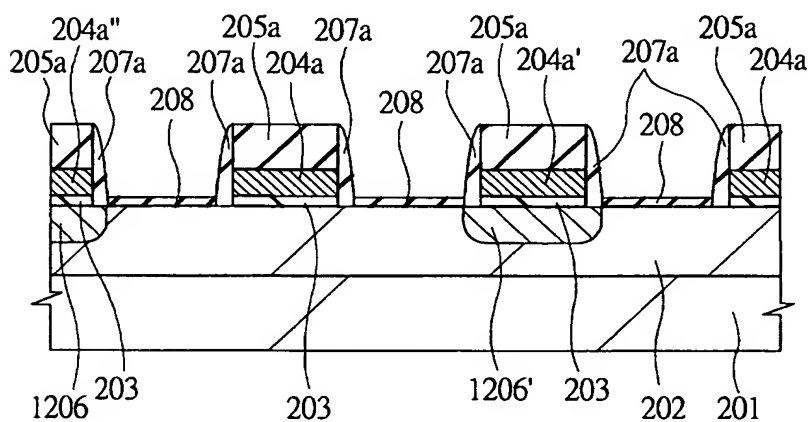
【図 6 7】

図 67



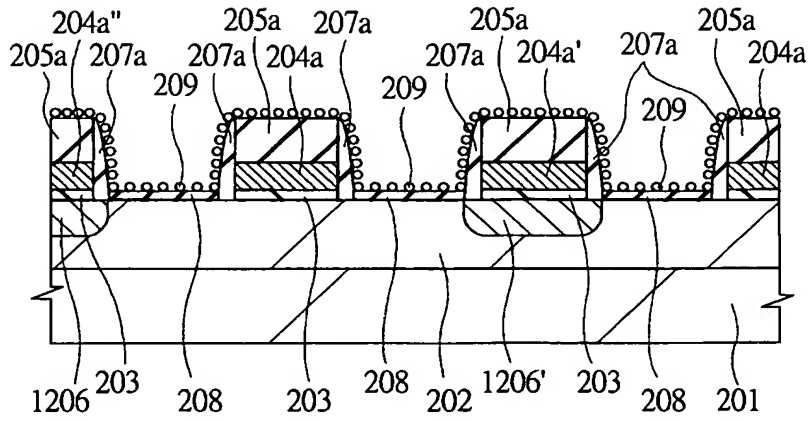
【図 6 8】

図 68



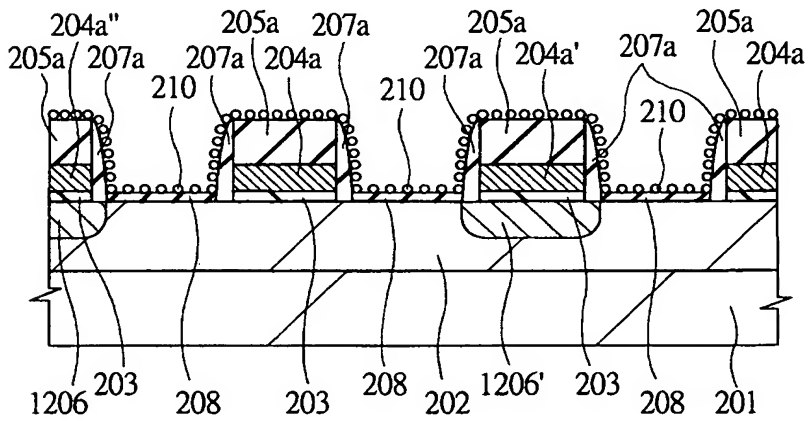
【図 6 9】

図 69



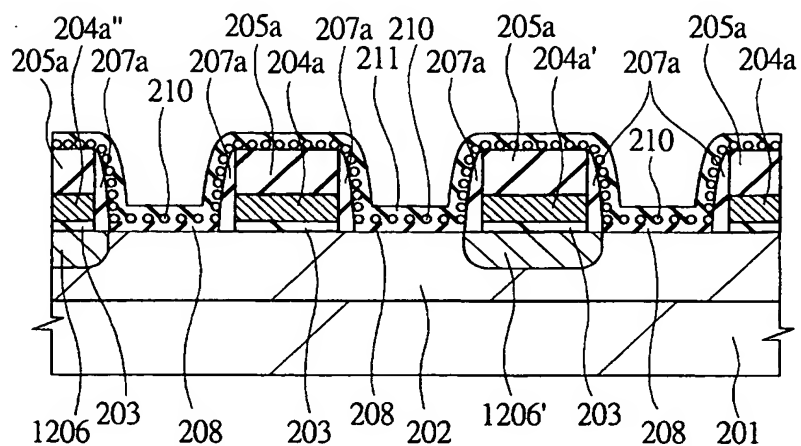
【図 7 0】

図 70



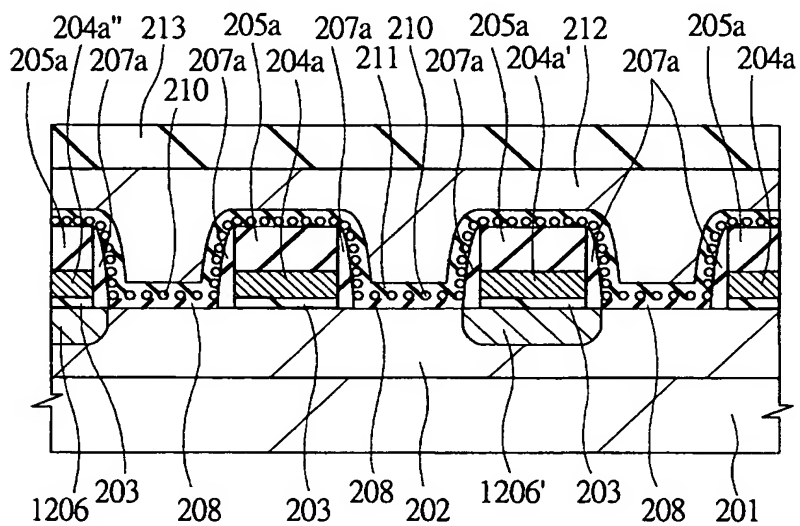
【図 71】

図 71



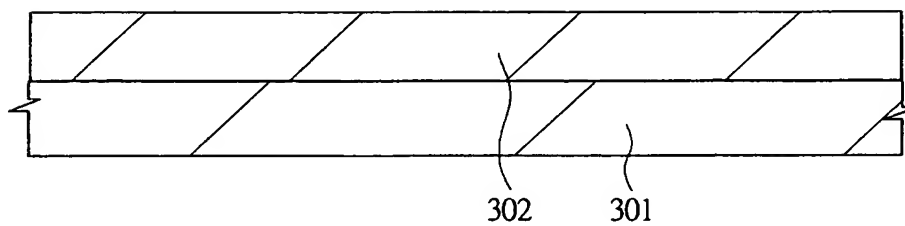
【図 72】

図 72



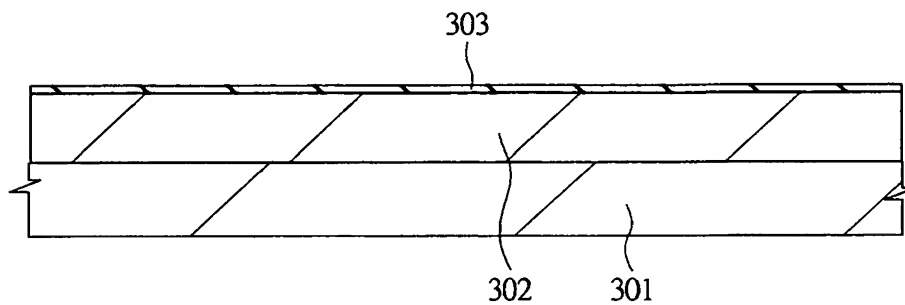
【図 73】

図 73



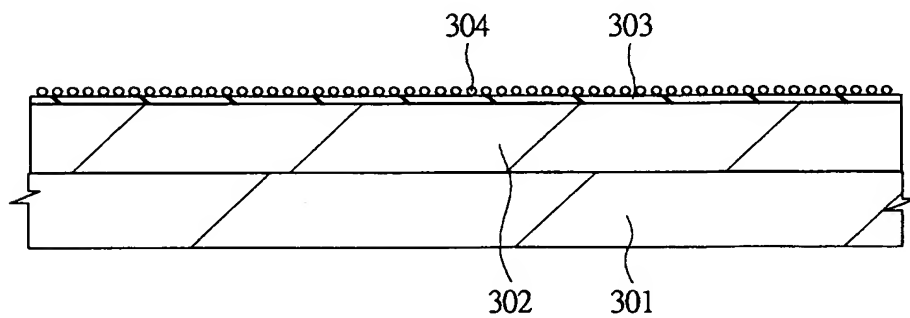
【図 74】

図 74



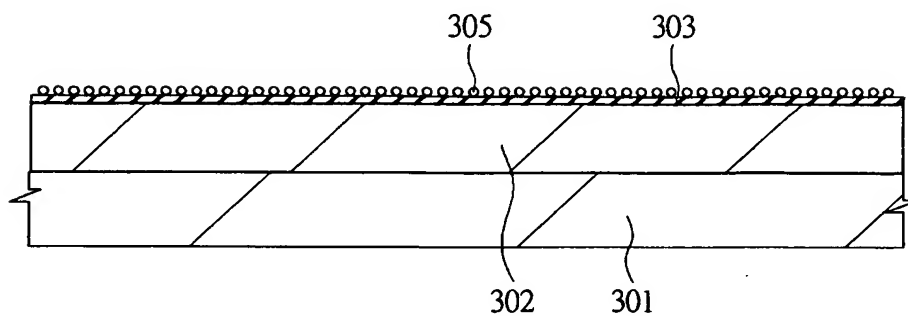
【図 75】

図 75



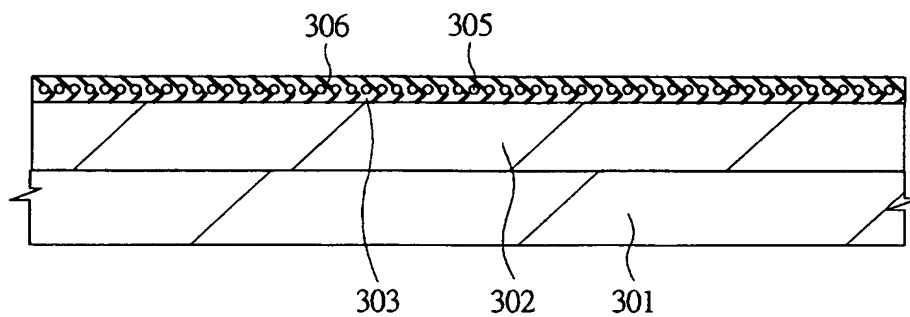
【図 76】

図 76



【図 77】

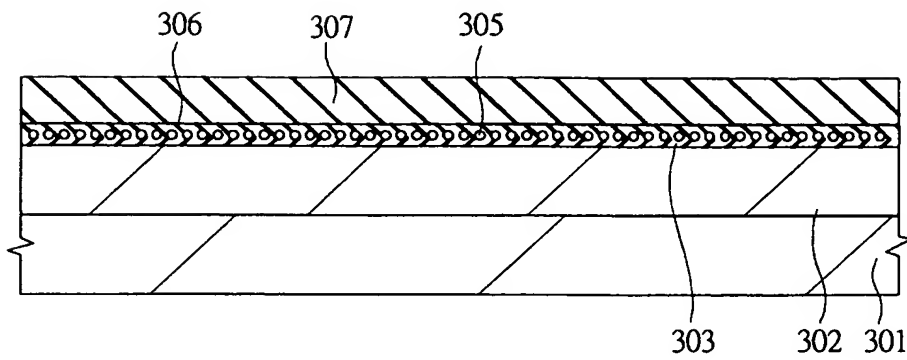
図 77





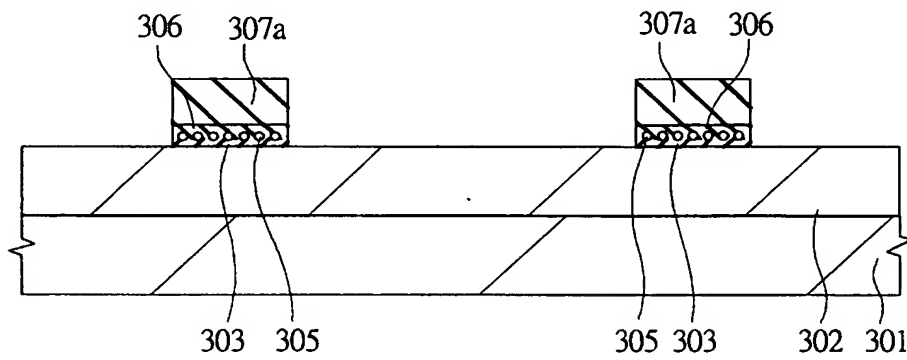
【図 78】

図 78



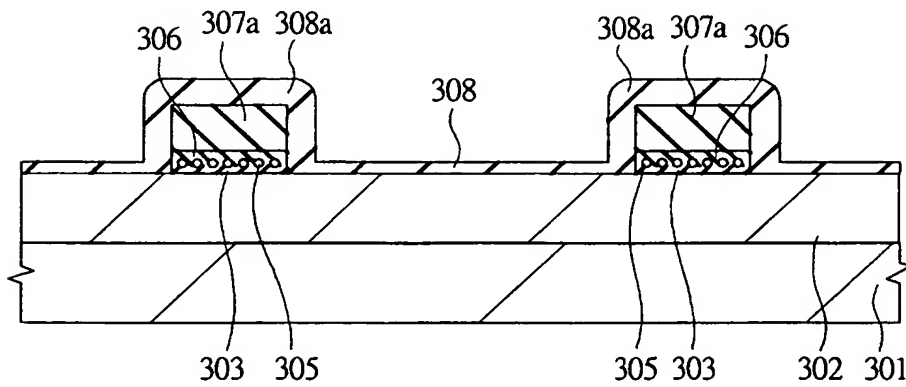
【図 79】

図 79



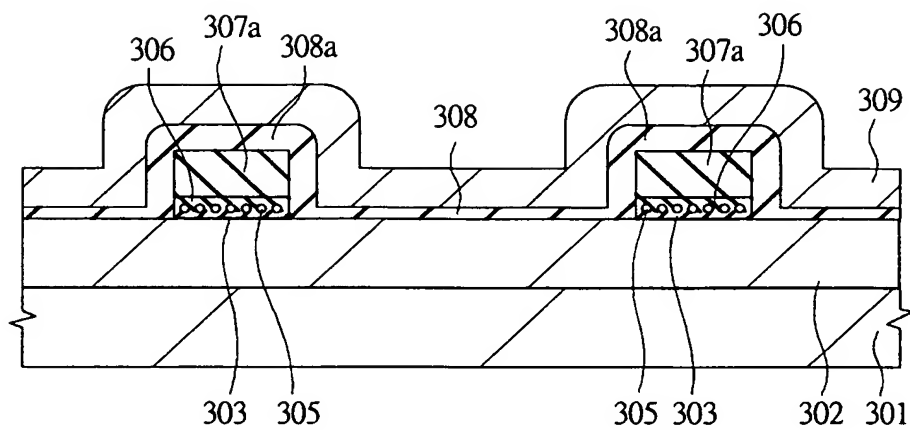
【図 80】

図 80



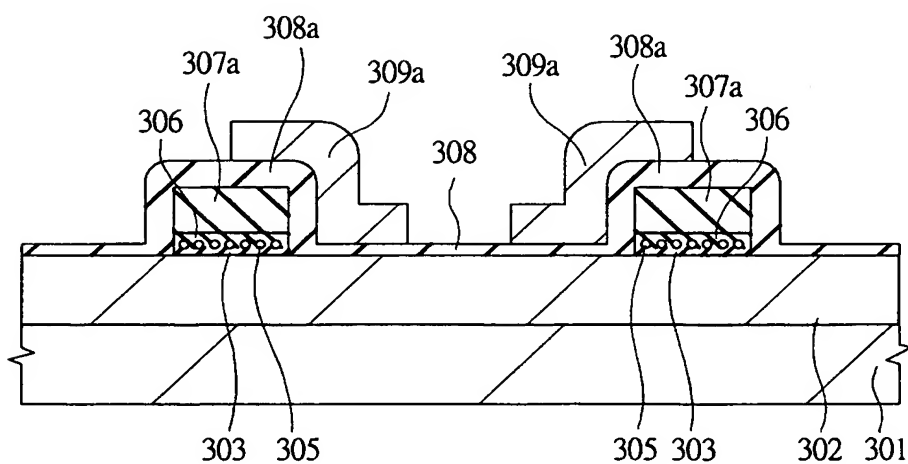
【図 8 1】

図 81



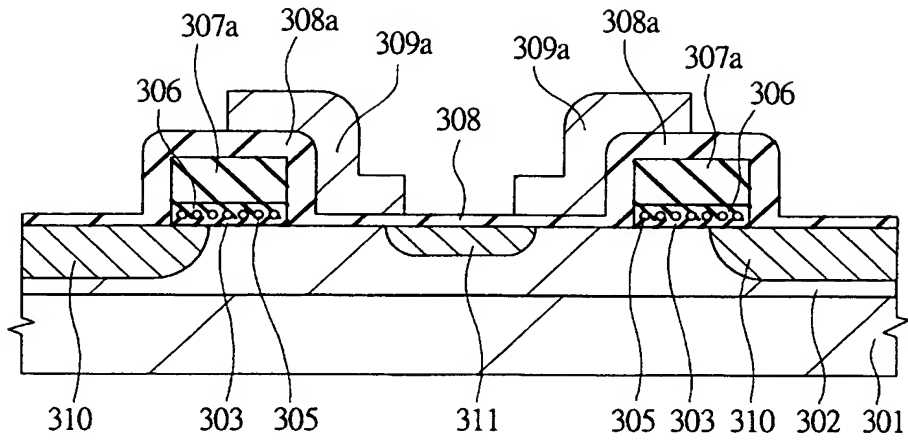
【図 8 2】

図 82



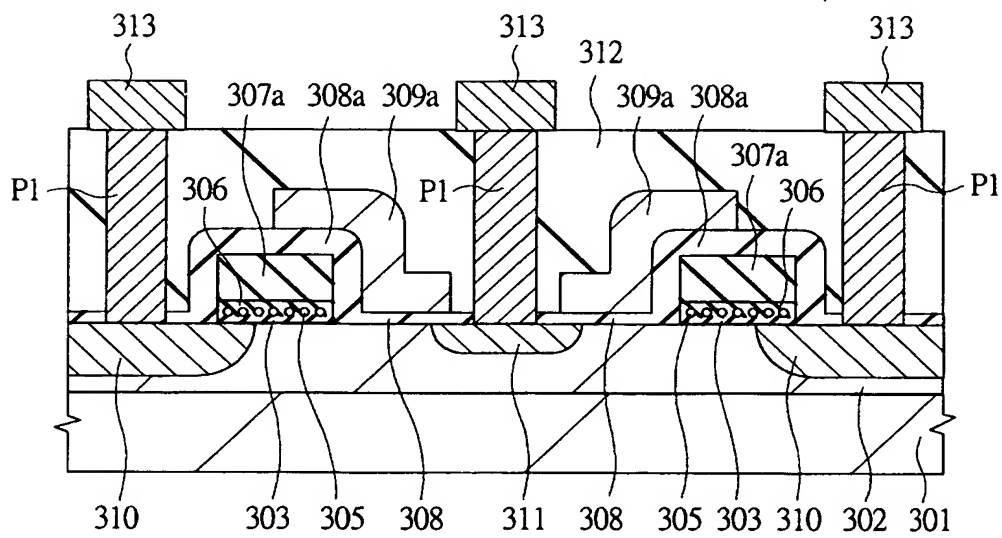
【図 8 3】

図 83



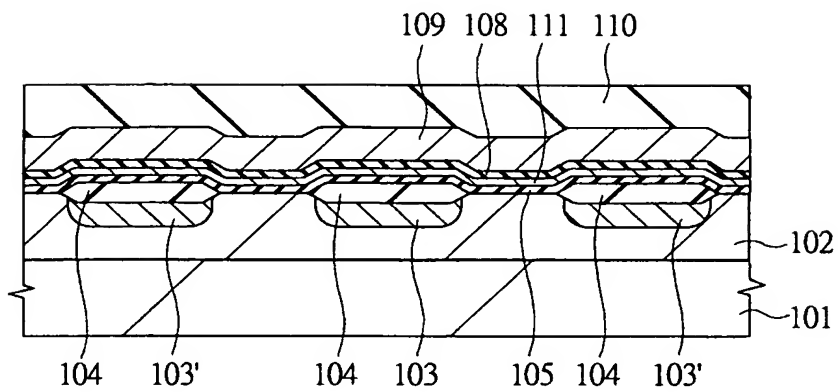
【図 8 4】

図 84



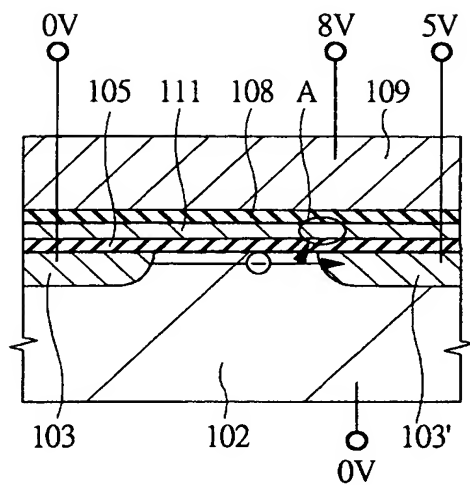
【図 85】

図 85



【図 8 6】

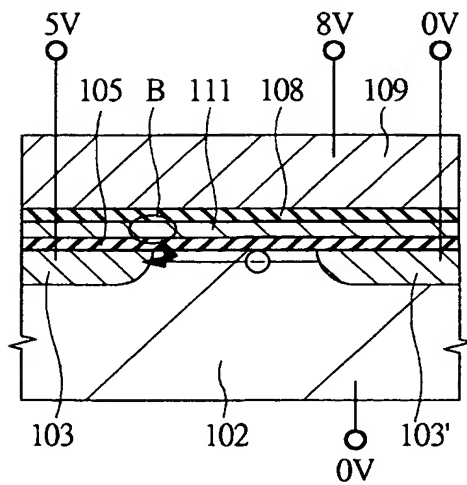
図 86



書込み1

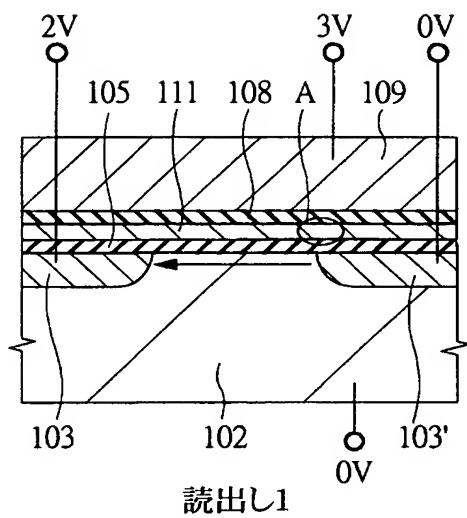
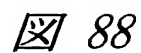
【図 8 7】

図 87

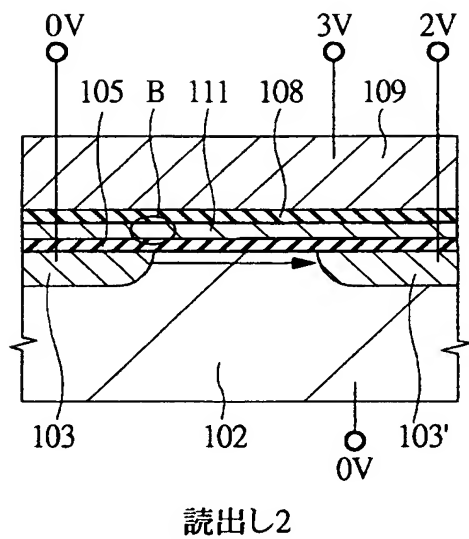
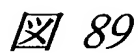


書込み2

【圖 8 8】



【图 8 9】



【書類名】 要約書

【要約】

【課題】 不揮発性半導体記憶装置の高信頼化、微細化を図る。

【解決手段】 シリコン基板 2 0 1 に形成された p 型ウェル 2 0 2 中のソース・ドレイン拡散層 2 0 6、2 0 6'、シリコン酸化膜 2 0 8 と 2 1 1 との間に位置する電荷を蓄積するためのシリコンナイトライドドット 2 1 0、制御ゲート 2 1 2、補助ゲート 2 0 4 a 及び 2 0 4 a' を有するメモリセルを形成し、ドレイン (2 0 6') 側のシリコンナイトライドドット (A 部) もしくはソース (2 0 6) 側のシリコンナイトライドドットに電子を蓄積することにより書き込みを行う。このように電荷蓄積部であるシリコンナイトライドをドット状としたので、チャネル方向の電荷移動が抑制され、ソース端とドレイン端部の電荷が混じりあうことを防止でき、電荷保持特性が向上する。また、ゲート長を短くしても、電荷保持特性を確保できる。

【選択図】 図 3 9

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-343742

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名  
義変更届（一般承継）を援用する

【プルーフの要否】 要



## 認定・付加情報

特許出願の番号	特願 2002-343742
受付番号	50301194843
書類名	出願人名義変更届 (一般承継)
担当官	鈴木 夏生 6890
作成日	平成15年 9月 3日

## &lt;認定情報・付加情報&gt;

【提出日】 平成15年 7月18日

特願 2 0 0 2 - 3 4 3 7 4 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 4 3 7 4 2

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ